

특 2002-0009429

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/203	(11) 공개번호 (43) 공개일자	특 2002-0009429 2002년 02월 01일
(21) 출원번호	10-2001-0043415	
(22) 출원일자	2001년 07월 19일	
(30) 우선권 주장	JP-P-2000-00221381 2000년 07월 21일 일본(JP) JP-P-2000-00281263 2000년 09월 18일 일본(JP)	
(71) 출원인	캐논 한바이 가부시끼가이샤 무라세 하루오 일본국 도쿄도 미나토구 미타 3-11-28가부시끼가이샤 한도따이 프로세스 캔큐쇼 마에다 가즈오	
(72) 발명자	일본국 도쿄도 미나토구 고난 2-13-29 오쿠다미조 일본국 도쿄도 미나토구 미타 3-11-28캐논 한바이 가부시끼가이샤 내 마오키준이치 일본국 도쿄도 미나토구 미타 3-11-28캐논 한바이 가부시끼가이샤 내 야마모토 요우이치 일본국 도쿄도 미나토구 미타 3-11-28캐논 한바이 가부시끼가이샤 내 고로모카와 다카시 일본국 도쿄도 미나토구 미타 3-11-28캐논 한바이 가부시끼가이샤 내 마에다 가즈오	
(74) 대리인	일본국 도쿄도 미나토구 고난 2-13-29가부시끼가이샤 한도따이 프로세스 캔큐쇼 내 문기삼, 문두현	

심사청구 : 있음

(54) 반도체 장치 및 그 제조 방법

요약

본 발명은, 동막으로 이루어진 또는 동막을 주로 하는 배선을 매립하는 배선매립 절연막과, 동에 대하여 배리어성을 갖는 배선 층간 절연막을 구비한 반도체 장치의 제조 방법에 관한 것이다. 그 구성은, 배선 층간 절연막(34, 66) 그 자체 또는 그 일부를 구성하는 실리콘 함유 절연막(34), 또는 (66a) 및 (66b)를 실록산 결합을 갖는 알킬화합물 및 메탈실란($\text{SiH}_n(\text{CH}_3)_{3-n}$; $n=0, 1, 2, 3$) 중 적어도 어느 하나와, N_2O , H_2O 또는 CO_2 중 어느 하나의 산소 함유 가스와, 암모니아(NH_3)를 포함한 성막 가스를 플라즈마화하여 반응시켜서 성막한다.

도표도

도 13g

색인어

동막, 시료, 비유전율, 비어 홀

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시형태인 성막 방법에 사용되는 플라즈마 CVD 성막장치의 구성을 나타낸 측면도.

도 2a 내지 e는 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막의 특성 조사에 사용한 시료 및 비교 시료의 구성을 나타낸 단면도.

도 3a, b는 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막의 막 밀도에 대하여, 도 2a에 나타난 시료를 사용하여 조사한 결과를 나타낸 표.

도 4는 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막 중의 수분 함유량 및 내

수성에 대하여, 도 2a에 나타난 시료를 사용하여 조사한 결과를 나타난 그래프.

도 5a는 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막의 적외선 흡수 강도를, 도 2a에 나타난 시료를 이용하여 조사한 결과를 나타난 그래프.

도 5b는 도 2a에 나타난 비교 시료를 사용하여 실리콘 함유 절연막의 적외선 흡수 강도를 조사한 결과를 나타난 그래프.

도 6은 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막의 내수성에 대하여, 도 2b에 나타난 시료를 사용하여 조사한 결과를 나타난 그래프.

도 7은 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막의 내수성에 대하여 도 2b에 나타난 시료를 사용하여 조사한 결과를 나타난 그래프.

도 8은 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막의 도포 절연막에 대한 밀착성에 대하여, 도 2c에 나타난 시료를 사용하여 조사한 결과를 나타난 표.

도 9는 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 히트 사이클에 의한 불량 발생율을, 도 2의 시료를 사용하여 조사한 결과를 나타난 그래프.

도 10은 본 발명의 제 2 실시형태인 성막 방법에 의해 작성된 실리콘 함유 절연막의 동에 대한 배리어성에 대하여 조사한 결과를 나타난 그래프.

도 11a, b는 본 발명의 제 3 실시형태인 반도체 장치 및 그 제조 방법에 대하여 나타난 단면도.

도 12a, b는 제 3 실시형태의 비교예인 반도체 장치 및 그 제조 방법에 대하여 나타난 단면도.

도 13a 내지 g는 본 발명의 제 4 실시형태인 반도체 장치의 제조 방법에 대하여 나타난 단면도.

도 14는 본 발명의 제 5 실시형태인 반도체 장치 및 그 제조 방법에 대하여 나타난 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 상세하게는 동막으로 이루어진 또는 동막을 주로 하는 배선을 매립하는 배선 매립 절연막과, 동에 대하여 배리어성을 갖는 배선 층간 절연막을 구비한 반도체 장치 및 그 제조 방법에 관한 것이다.

발명이 이루고자하는 기술적 과제

근년, 반도체 집적 회로 장치의 고집적도화, 고밀도화에 수반하여 패턴의 미세화, 박막화가 요망되고 있다.

이 때문에, 층간 절연막으로서 RC 딜레이가 작은 저유전율을 갖는 절연막(이하, 저유전 절연막이라 칭한다.)이 사용되고 있다. 이와 같은 절연막으로서, 예를 들면 비유전율이 3.5~3.8인 SiO₂막이나 비유전율이 3.0~3.1인 다공질 SiO₂막 등이 있다.

한편, 배선 재료에 관하여, 종래의 알루미늄(Al)에서 전기 저항이 낮은 동(Cu)막으로 이루어진 또는 동막을 주로 하는 배선(이하, 동 배선이라 칭한다.)으로 변화하고 있다.

따라서, 종래의 다층의 동 배선을 갖는 반도체 장치를 작성하기 위해서, 동 배선 상에 층간 절연막으로서 저유전 절연막을 형성하고 있으나, 일반적으로 저유전 절연막에는 동 배선으로부터의 동이 확산되기 쉽기 때문에, 상하 배선간의 리크 전류가 증가하게 된다. 따라서, 저유전 절연막에 대한 동 원소의 확산을 방지하기 위해서, 동 배선과 저유전 절연막 사이에 Si 및 N을 포함한 또는 Si 및 C를 포함한 배리어 절연막을 개재시키는 일이 많았다.

그러나, Si 및 N을 포함한 절연막은 비유전율이 높기 때문에, Si 및 N을 포함한 절연막의 막 두께를 얇게 하여 배리어 절연막으로서 사용한 경우에도, 층간 절연막 전체의 유전율이 높아지게 된다.

또, Si 및 C를 포함한 배리어 절연막은, Si 및 N을 포함한 배리어 절연막에 비해서 비유전율이 5정도로 비교적 낮지만, 리크 전류의 증대를 충분히 억제할 수가 없다. 이 경우, 리크 전류를 충분히 억제하기 위해서는, Si 및 C를 더 포함한 배리어 절연막에 산소를 도입할 필요가 있다.

이와 같이 하면, 리크 전류는 충분한 레벨까지 저감할 수 있으나, 동 배선의 표면이 산화되어서 배리어 절연막 및 저유전 절연막이 벗겨지기 쉽게 되는 등의 새로운 문제가 생긴다.

발명의 구성 및 작용

본 발명은 접속 도체를 매립하는 배선 층간 절연막과 동 배선을 매립하는 배선 매립 절연막을 형성했을 때에, 실리콘 질화막과 똑 같이 동에 대한 높은 배리어성과 작은 리크 전류를 유지하면서, 동막 또는 동막을 주로 하는 배선을 피복하는 절연막의 박리를 방지하고, 또한 동막 등으로 되는 배선간의 절연막의 저유전율화를 도모할 수 있는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

이하, 상기 본 발명의 구성에 따라서 이루어지는 작용에 대하여 설명하겠다.

본 발명에 따른 실리콘 함유 절연막은, 적외선의 흡수 강도의 피크가 파수(wave number) 2270 내지

2350cm⁻¹의 범위이고, 막 밀도가 2.25 내지 2.40g/cm³의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위이다.

본원 발명자의 실험에 의하면, 이와 같은 특성을 갖는 실리콘 함유 절연막은 실리콘 질화막과 마찬가지로, 기계적 강도가 높고, 치밀하고, 내수성이 우수하고, 막 중의 수분 함유량이 적고, 또한 실리콘 질화막에 비해서 비유전율이 작은 것을 알 수 있다.

본 발명의 반도체 장치에서는, 동막으로 이루어진 또는 동막을 주로 하는 배선을 피복하는 보호층을 갖고, 그 보호층이 상기 특성을 갖는 실리콘 함유 절연막으로 이루어진다. 따라서, 그 보호층은 실리콘 질화막과 마찬가지로 치밀하기 때문에, 주변부로의 동의 확산을 방지할 수 있다.

또, 하부 배선과 상부 배선 사이에 상기 특성을 갖는 층간 절연막이 개재되어 있으므로, 저유전율을 유지하면서, 주변부로의 동의 확산을 방지할 수 있다.

또, 하부 배선과 상부 배선 사이에, 주된 절연막과 그 주된 절연막의 상하면을 피복하는 상기 특성을 갖는 보호층을 갖는다. 즉, 하부 배선과 주된 절연막 사이에, 및 상부 배선과 주된 절연막 사이에 각각 상기 특성을 갖는 보호층이 개재되어 있으므로, 주된 절연막으로의 동의 확산을 방지할 수 있다. 또, 주된 절연막으로서 낮은 비유전율을 갖는 다공질 절연막이나 도포 절연막 등을 사용함으로써 저유전율을 유지하면서, 주된 절연막으로의 동의 확산을 방지하는 것도 가능하다.

또, 실험에 의하면, Si-H 결합을 갖는 알콕시 화합물, 및 Si-H 결합을 갖는 실록산으로 이루어진 그룹 중에서 선택된 어떤 하나와, O₂, N₂O, NO₂, CO, CO₂, 및 H₂O로 이루어진 그룹 중에서 선택된 어느 하나의 산소 함유 가스로 이루어진 성막 가스를 플라즈마화하여, 반응시킴으로써 형성된 실리콘 함유 절연막은 치밀하고, 내수성이 우수하고, 막 중의 수분 함유량이 적은 실리콘 질화막과 동등한 특성을 갖고, 또한 실리콘 질화막에 비해서 비유전율이 낮다는 것을 알 수 있다.

본 발명의 반도체 장치의 제조 방법으로는, 동막으로 이루어진 또는 동막을 주로 하는 하부 배선이 매립된 하부 배선 매립 절연막과 동막으로 이루어진 또는 동막을 주로 하는 상부 배선이 매립된 상부 배선 매립 절연막 사이에 배선 층간 절연막 사이에 끼워서 이루어지는 반도체 장치의 제조 방법에 있어서, 배선 층간 절연막을 상기 성막 조건에 의해서 형성하고 있다. 즉, 하부 배선과 상부 배선 사이에 본 발명의 실리콘 함유 절연막으로 이루어진 층간 절연막이 개재하게 되므로 실리콘 질화막 등과 같은 보호층 없이 하부 배선 및 상부 배선으로부터의 동의 확산을 방지하여, 배선간의 절연막 전체로서 저유전화를 도모할 수 있다.

또, 배선 층간 절연막 및 배선 매립 절연막의 주된 절연막과 본 발명에 따른 실리콘 함유 절연막으로 이루어진 보호층을 교대로 적층하고, 하층에서 순차로 적어도 상기 주된 절연막과 상기 보호층이 적층되어서 이루어지는 배선 층간 절연막 및 배선 매립 절연막을 교대로 2층 이상 적층하고, 순차 개구 면적이 커지도록, 또한 아래의 개구부와 그 위의 개구부가 이어지도록 각각 배선 층간 절연막 및 배선 매립 절연막을 관통시켜서, 비어 홀과 배선 홈을 교대로 형성하고, 그 후 비어 홀 및 배선 홈에 동막 또는 동막을 주로 하는 금속을 매립하고, 접속 도체와 접속 도체와 이어진 배선을 형성하고 있다. 또, 배선 층간 절연막 및 배선 매립 절연막을 적층하여 비어 홀과 배선 홈을 형성하고, 비어 홀 및 배선 홈에 동막 등을 매립하고, 동막을 주로 하는 접속 도체와 배선을 형성하는 방법을 소위 듀얼 다마신법(dual damascene)이라 한다.

상기 구성에 의해서, 동막 등으로 이루어진 배선과 주된 절연막 사이에는 본 발명에 따른 실리콘 함유 절연막으로 이루어진 보호층이 개재하므로, 주된 절연막으로의 동막 등으로 이루어진 배선으로부터의 동의 확산을 방지할 수 있다.

또, 주된 절연막이 예를 들면 SiOF 막인 경우, 본 발명에 따른 실리콘 함유 절연막으로 이루어진 보호층에 의해서 불소(F) 원소의 주변부로의 확산을 방지할 수 있다.

또, 보호층으로서 실리콘 질화막을 사용하지 않고, 비유전율이 낮은 절연막을 사용하고 있기 때문에, 배선간의 절연막 전체로서 유전율을 저감할 수 있다.

또, 하부 배선을 피복하여 본 발명에 따른 실리콘 함유 절연막으로 이루어진 보호층을 형성하고 있기 때문에, 주변부로의 동의 확산을 방지할 수 있다.

또, 본 발명의 실리콘 함유 절연막은, 실리콘 질화막과 같이 원래 리크 전류가 작기 때문에, 리크 전류를 줄이기 위해서 Si 및 C를 포함한 막과 같이 산소 도입을 하지 않아도 좋다. 따라서, 이 도입 산소에 의해서 또는 산소 도입 처리에 의해서 동막 등으로 이루어진 배선의 표면이 산화되어서 동 등으로 이루어진 배선과 접촉하는 보호층이나 배선 층간 절연막이 벗겨지기 쉽게 되는 등의 우려도 없다.

또, 주된 절연막이 도포 절연막인 경우, 본 발명이 적용되는 실리콘 함유 절연막으로 이루어진 보호층은 도포 절연막과의 밀착성이 좋기 때문에 막의 박리를 방지하고, 또한 도포 절연막으로부터 주변부로의 수분의 방출을 보다 완전하게 방지할 수 있다.

또, 아래에서 차례로 적어도 절연막과 본 발명에 따른 실리콘 함유 절연막으로 이루어진 보호층이 적층되어서 이루어지는 배선 층간 절연막 및 배선 매립 절연막을 교대로 2층 이상 적층하고, 아래에서 차례로 개구 면적이 커지도록 배선 층간 절연막 및 배선 매립 절연막을 관통시켜서, 비어 홀과 비어 홀이 이어진 배선 홈을 교대로 형성하고 있다. 즉, 보호층은 절연막을 선택적으로 에칭할 때에 에칭되는 절연막 상에 노출되어 있거나, 또는 에칭되는 절연막의 하지(bottom)로 된다. 이 경우, 본 발명이 적용되는 보호층은 치밀하기 때문에, 마스크로서 유효하게 기능하고, 또는 보호층 아래의 절연막의 과잉 에칭에 대한 스톱퍼로서 유효하게 기능한다.

실시예

이하, 본 발명의 실시형태에 대하여 도면을 참조하면서 설명하겠다.

(제 1 실시형태)

도 1은 본 발명의 제 1 실시형태에 따른 반도체 장치의 제조 방법에 사용되는 평행 평판형의 플라스마 성막 장치(101)의 구성을 나타낸 측면도이다.

이 플라스마 성막 장치(101)는, 플라스마 가스에 의해 피성막 기판(21) 상에 본 발명에 따른 실리콘 함유 절연막 등을 형성하는 장소인 성막부(101A)와, 성막 가스를 구성하는 복수의 가스 공급원을 갖는 성막 가스 공급부(101B)로 구성되어 있다.

성막부(101A)는 도 1에 나타난 바와 같이, 감압가능한 챔버(1)를 구비하고, 챔버(1)는 배기 배관(4)을 통해서 배기 장치(6)와 접속되어 있다. 배기 배관(4)의 도중에는 챔버(1)와 배기 장치(6) 사이의 도통 또는 비도통을 제어하는 개폐 밸브(5)가 설치되어 있다. 챔버(1)에는 챔버(1) 내의 압력을 감시하는 진공계(도면에 나타내지 않음) 등의 압력 계측 수단이 설치되어 있다.

챔버(1) 내에는 대향하는 한쌍의 상부 전극(제 1 전극)(2)과 하부 전극(제 2 전극)(3)이 구비되고, 상부 전극(2)에 주파수 13.56MHz의 고주파 전력을 공급하는 고주파 전력 공급 전원(RF 전원)(7)이 접속되고, 하부 전극(3)에 주파수 380kHz의 저주파 전력을 공급하는 저주파 전력 공급 전원(8)이 접속되어 있다. 이들 전원(7, 8)으로부터 상부 전극(2) 및 하부 전극(3)에 전력을 공급하여 성막 가스를 플라스마화 한다. 상부 전극(2), 하부 전극(3) 및 전원(7, 8)이 성막 가스를 플라스마화하는 플라스마 생성 수단을 구성한다.

또, 플라스마 생성 수단으로서, 예를 들면 평행 평판형의 상부 전극(2)과 하부 전극(3)에 의해 플라스마를 생성하는 수단, ECR(Electron Cyclotron Resonance)법에 의해 플라스마를 생성하는 수단, 안테나로부터의 고주파 전력의 방사에 의해 헬리콘 플라스마를 생성하는 수단 등이 있다.

상부 전극(2)은 성막 가스의 분산기를 겸하고 있다. 상부 전극(2)에는 복수의 관통 구멍이 형성되고, 하부 전극(3)과의 대향면에서의 관통 구멍의 개구부는 성막 가스의 방출구(도입구)로 된다. 이 성막 가스 등의 방출구는 성막 가스 공급부(101B)와 배관(9a)에 접속되어 있다. 또, 경우에 따라서 상부 전극(2)에는 도시하지 않은 히터가 구비되는 일도 있다. 이것은 성막 중에 상부 전극(2)을 대략 100℃ 정도의 온도로 가열해 둬으로써, 성막 가스 등의 반응 생성물로 이루어진 입자가 상부 전극(2)에 부착되는 것을 방지하기 위한 것이다.

하부 전극(3)은 피성막 기판(21)의 유지대를 겸하고, 또 유지대 위의 피성막 기판(21)을 가열하는 히터(12)를 구비하고 있다.

성막 가스 공급부(101B)에는, Si-H 결합을 갖는 알콕시 화합물의 공급원, Si-H 결합을 갖는 실록산의 공급원, 산소(O₂), 일산화질소(NO), 이산화탄소(CO), 이산화탄소(CO₂), 또는 물(H₂O)로 이루어진 그룹 중에서 선택되는 어느 하나의 산소 함유 가스의 공급원, 수소(H₂)의 공급원, 및 질소(N₂)의 공급원이 설치되어 있다.

본 발명이 적용되는 성막 가스인 Si-H 결합을 갖는 알콕시 화합물, 및 Si-H 결합을 갖는 실록산에 대해서는, 대표예로서 이하에 나타낸 것을 사용할 수 있다.

(i) Si-H 결합을 갖는 알콕시 화합물

트리메틸실란(TMS: SiH(OCH₃)₃)

(ii) Si-H 결합을 갖는 실록산

테트라메틸디실록산(TMDSO: (CH₃)₂HSi-O-SiH(CH₃)₂)

이들 가스는 적당하게 분기 배관(9b 내지 9f) 및 이들 모든 분기 배관(9b 내지 9f)이 접속된 배관(9a)을 통해서 성막부(101A)의 챔버(1) 내에 공급된다. 분기 배관(9b 내지 9f)의 도중에 유량 조정 수단(11a 내지 11e)이나, 분기 배관(9b 내지 9f)의 도통 또는 비도통을 제어하는 개폐 수단(10b 내지 10k)이 설치되고, 배관(9a)의 도중에 배관(9a)의 폐쇄 또는 도통을 행하는 개폐 수단(10a)이 설치되어 있다. 또, N₂ 가스를 유동시켜서 분기 배관(9b 내지 9e) 내의 잔류 가스를 방출하기 위해서, N₂가스의 공급원과 접속된 분기 배관(9f)과 기타의 분기 배관(9b 내지 9e) 사이의 도통 또는 비도통을 제어하는 개폐 수단(10i 내지 10n, 10p)이 설치되어 있다. 또, N₂ 가스는 분기 배관(9b 내지 9e) 내 미외에 배관(9a) 내 및 챔버(1) 내의 잔류 가스를 방출한다.

이상과 같은 성막 장치(101)에 의하면, Si-H 결합을 갖는 알콕시 화합물 및 Si-H 결합을 갖는 실록산으로 이루어진 그룹 중에서 선택된 적어도 어떤 하나의 공급원과, 산소 함유 가스의 공급원을 구비하고, 또 성막 가스를 플라스마화하는 플라스마 생성 수단(2, 3, 7, 8)을 구비하고 있다.

상기 플라스마 CVD 장치를 사용하여, 플라스마 CVD법에 의해 Si, O, C, H를 포함한 절연막을 형성할 수 있다. 이 때문에 하기의 제 2 실시형태에 나타난 바와 같이, 낮은 유전율을 갖고, 또한 수분 함유량이 적고, 치밀하고, 내수성이 우수한 실리콘 함유 절연막을 형성할 수 있다. 또, 이 실리콘 함유 절연막은 유기 또는 무기 도포 절연막과의 밀착성이 좋고, 동(Cu)의 확산을 저지하는 능력도 높다.

특히, 평행 평판형의 제 1 및 제 2 전극(2, 3)에 각각 고저 2개의 주파수 전력을 공급하는 전원(7, 8)이 접속되어 있으므로, 이들 고저 2개의 주파수 전력을 각각 각 전극(2, 3)에 인가하여 플라스마를 생성할 수 있고, 이와 같이 하여 작성된 실리콘 함유 절연막은 치밀하다.

(제 2 실시형태)

이하, 상기 플라스마 CVD 장치를 사용하여 성막한 실리콘 함유 절연막에 대하여, 본원 발명자가 행한 조사 실험에 대해서 설명하겠다.

먼저, 상기한 플라즈마 CVD 장치 중 잘 알려진 평행 평판형의 플라즈마 CVD 장치를 사용하였다. 상부 전극(2), 하부 전극(3) 중 하부 전극(3)이 기판 유지기를 겸하고, 하부 전극(3)은 기판 가열을 하기 위한 히터(12)를 내장하고 있다.

(시료의 작성)

도 2a 내지 e는, 본 발명의 실리콘 산화막(실리콘 함유 절연막)을 갖는 시료에 대하여 나타낸 단면도이다.

시료(S1)는 도 2a에 나타낸 바와 같이, 트리메톡시실란(TMS)을 포함한 성막 가스를 사용한 PE-CVD법에 의해 실리콘 산화막(실리콘 함유 절연막)이며, 이하 PE-CVD TMS SiO₂막이라 칭한다.)(42a)를 실리콘 기판(41) 상에 형성함으로써 작성하였다. 또, 비교를 위해 실리콘 기판(41) 상에 테트라메톡시실란(TEOS)을 포함한 성막 가스를 사용한 PE-CVD법에 의해 형성한 실리콘 산화막(이하, PE-CVD TEOS SiO₂막이라 칭한다.)(51a)를 갖는 비교 시료(CS1)와, 실리콘 기판(41) 상에 모노실란(SiH₄)을 포함한 성막 가스를 사용한 PE-CVD법에 의해 형성한 실리콘 산화막(이하, PE-CVD SiH₄ SiO₂막이라 칭한다.)(52a)를 갖는 비교 시료(CS2)를 작성한다.

시료(S1A)는 도 2a에 나타낸 바와 같이, 실리콘 기판(41) 상에 PE-CVD TMS SiO₂막(42a)을 형성한 시료(S1)에서는, 또 PE-CVD TMS SiO₂막(42a) 상에 전극(45)을 형성함으로써 작성한다. 전극(45)으로서 수은 프로브를 사용하고, 이것과 PE-CVD TMS SiO₂막(42a)과의 접촉 면적은 0.0230cm²이다.

시료(S2, S3)는 도 2b에 나타낸 바와 같이, 실리콘 기판(Si 기판)(41) 상에 인 함유량 7mol%, 두께 약 500nm의 BPSG막(43)과 PE-CVD TMS SiO₂막(42b)을 차례로 형성함으로써 작성하였다. 시료(S2)로는 PE-CVD TMS SiO₂막(42b)의 두께를 100nm로 하고, 시료(S3)로는 PE-CVD TMS SiO₂막(42b)의 두께를 200nm로 하였다. 또, 비교를 위해서 PE-CVD TMS SiO₂막(42b)의 대신에 두께 200nm의 PE-CVD TEOS SiO₂막(51b)을 사용한 비교 시료(CS3)와, 마찬가지로 두께 200nm의 PE-CVD SiH₄ SiO₂막(52b)을 사용한 비교 시료(CS4)와, 마찬가지로 SiH₄, NH₃ 및 N₂를 포함한 성막 가스를 사용한 플라즈마 CVD법에 의해 형성한 두께 200nm 실리콘 질화막(이하, PE-CVD SiN막이라 칭한다.)(53)을 사용한 비교 시료(CS5)를 작성하였다.

시료(S4, S5)는, 도 2c에 나타낸 바와 같이, 실리콘 기판(Si 기판)(41) 상에 저유전율 절연막(44a, 44b)과 PE-CVD TMS SiO₂막(42c)을 차례로 형성함으로써 작성하였다. 시료(S4)로는 저유전율 절연막으로서 무기 도포 절연막(44a)을 사용하고, 시료(S5)로는 똑 같이 유기 도포 절연막(44b)을 사용하였다. 또, 비교를 위해서 PE-CVD TMS SiO₂막(42c)의 대신에 PE-CVD TEOS SiO₂막(51c)을 사용한 비교 시료(CS6, CS7)를 작성하였다. 비교 시료(CS6)로는 저유전율 절연막으로서 무기도포 절연막(44a)을 사용하고, 비교 시료(CS7)로는 똑 같이 유기 도포 절연막(44b)을 사용하였다.

또, 무기 도포 절연막으로는 HSQ(상품명, 님코닝사 제), MSQ(상품명), R7(상품명, 히다지 가세이 공업사 제) 등 도포액을 도포하여 형성된 절연막이 있다. 도포액 중의 성분 화합물로서 탄소가 하나 이하인 화합물을 포함한 것을 특징으로 한다. 유기 도포 절연막으로는 FLARE(상품명, 알라이드 시그널사 제), SiLK(상품명, 님 케미컬사 제) 등의 도포액을 도포하여 형성된 것이 있다. 도포액 중의 성분 화합물로서 탄소가 2개 이상의 화합물을 포함한 것을 특징으로 한다.

시료(S6)는 도 2d에 나타낸 바와 같이, 실리콘 기판(41) 상에, 두께 약 150nm의 PE-CVD TMS SiO₂막(하부 보호층)(42d)과 두께 약 450nm의 무기[유기] 도포 절연막(중간층)(44c)과 막 두께 약 200nm의 PE-CVD TMS SiO₂막(상부 보호층)(42e)을 하층으로부터 차례로 형성한 것이다. 무기[유기] 도포 절연막(44c)은 HSQ(Hydrogen silsesquioxane)를 용매에 용해하여 생성된 도포액(FOX(상품명))을 스핀 코트하여 피착하고, 그 후 질소 중 온도 150, 200, 350℃에서 각각 1분간 썬 베이킹(baking)하고, 또 질소 중 온도 400℃에서 50분간 큐어(cure)하여 형성하였다. 또, 비교를 위해, 하부 보호층으로서 PE-CVD TMS SiO₂막(42d) 대신에 PE-CVD TEOS SiO₂막(51d)을 형성한 비교 시료(CS8)와, 상하부 보호층으로서 PE-CVD TMS SiO₂막(42d, 42e) 대신에 PE-CVD TEOS SiO₂막(51d, 51e)을 형성한 비교 시료(CS9)를 작성하였다.

상기 플라즈마 CVD 장치를 사용하여 이하의 성막 조건으로, 각 시료(S1 내지 S6)의 PE-CVD TMS SiO₂막을 작성하였다.

성막 가스: TMS+N₂O

TMS 가스 유량: 100sccm

N₂O 가스 유량: 3000sccm

가스 압력: 0.7Torr

플라즈마하 조건

상부 전극(2)으로의 인가 전력: 0.3W/cm²(주파수 13.56MHz)

하부 전극(3)으로의 인가 전력: 0.3W/cm²(주파수 380kHz)

이 성막 장치의 경우, 상기 전력 밀도는 각각 전극으로의 인가 전력

750W에 상

당한다.

기판온도: 300 내지 400℃

성막 두께: $t \text{ nm}$

또, 같은 플라즈마 성막 장치(101)가 비교 시료(CS1)의 PE-CVD TEOS SiO_2 -막(51a), 비교 시료(CS2)의 PE-CVD SiH_4 SiO_2 -막(52a), 비교 시료(CS3, CS4, CS6 내지 CS9)의 PE-CVD TEOS SiO_2 -막(51b 내지 51e), 비교 시료(CS5)의 PE-CVD SiN -막(53)의 형성에도 사용되었다.

상기한 바와 같이 하여 작성한 PE-CVD TMS SiO_2 -막(42a 내지 42e)에 대하여 이하의 특성을 조사하였다.

(i) 기본 특성

상기 성막 조건에서 성막 레이트는 약 160 내지 170nm/분 이다.

또, 성막 후의 PE-CVD TMS SiO_2 -막(42a)의 굴절율은 1.477 내지 1.480이고, 막 응력은 -250MPa 또는 $3.0 \times 10^7 (\text{dyne/cm}^2)$ 이다. 굴절율을 측정하는 경우는, 엘립소 미터로 6338 웅스트롬의 He-Ne 레이저를 사용하였다. 또, 응력을 측정하는 경우, 올티 레버 레이저 스캔 방식을 사용하였다.

또, 두께(t) 500nm로 PE-CVD TMS SiO_2 -막(42a)의 비유전율은 3.9 이다. 비유전율의 조사용 시료로서 시료(S1a)를 사용하였다.

조사용 시료(S1a)의 실리콘 기판(41)과 전극(45)간에 직류 전압(V)을 인가하고, 또 직류 전압(V)에 주파수 1MHz의 미소 신호를 중첩하여, 직류 전압(V) 변화에 대한 용량(C) 변화를 측정하고, 그 결과로부터 비유전율을 산출하였다.

(ii) 막 중의 탄소 및 질소의 농도

시료(S1)를 사용하여, AES법(auger electron spectroscopy method)에 의해서 PE-CVD TMS SiO_2 -막(42a) 중의 탄소 및 질소의 농도를 측정하였다.

이에 따르면, 탄소의 농도는 1.0 atoms%이고, 질소의 농도는 2.1 atoms% 이다.

(iii) 막 밀도

시료(S1)를 사용하여 잘 알려진 X선 간섭법 및 중량 측정법에 의해서 PE-CVD TMS SiO_2 -막(42a)의 밀도를 조사하였다.

비교를 위해 PE-CVD TMS SiO_2 -막(42a) 대신에 열산화막(thermal- SiO_2 -막)과, PE-CVD TEOS SiO_2 -막(51a)을 사용한 비교 시료(CS1)와, PE-CVD SiH_4 SiO_2 -막(52a)을 사용한 비교 시료(CS2)에 의해서 똑 같은 조사를 하였다.

도 3a, b에 나타난 바와 같이, PE-CVD TMS SiO_2 -막(42a)은 2.33으로서 다른 절연막에 비해 밀도가 높고, 치밀한 것을 알 수 있다.

(iv) 막 중 수분 함유량

시료(S1)를 사용하여, TDS법(Thermal Desorption Mass Spectroscopy)에 의해 성막 직후와 대기 중 2주간 경과 후의 막 중의 수분 함유량을 측정하였다. TDS법이란, 시료를 가열하여 거기에서 나오는 분자를 측정하는 방법이다. 비교를 위해 PE-CVD TMS SiO_2 -막(42a) 대신에 PE-CVD TEOS SiO_2 -막(51a)을 사용한 비교 시료(CS1)에 의해 똑 같은 조사를 하였다.

조사 방법은 TDS 분석 장치로 실온에서 800°C 까지 가열하여, 시료에서의 수분량을 정량화함으로써 행하였다.

도 4는 그 결과를 나타낸 그래프이다. 도 4에서 증축은 선형 눈금으로 나타낸 수분량(wt%)을 나타내고, 횡축은 선형 눈금으로 나타낸 온도(°C)를 나타낸다.

성막 직후의 측정에서는, 실온에서 800°C 까지 승온했을 때의 수분량이 PE-CVD TMS SiO_2 -막(42a)에서 0.11wt%임에 반하여, PE-CVD TEOS SiO_2 -막(51a)에서는 0.49wt% 였다. 또, 2주간 후의 측정에서도, PE-CVD TMS SiO_2 -막(42a)에서는, +0.2 내지 0.3의 증가에 머물러, 그다지 변화가 없었다.

이상과 같이, PE-CVD TMS SiO_2 -막(42a)은 PE-CVD TEOS SiO_2 -막(51a)에 비해서 구조 수분(성막 직후에 성막 가스 및 구조에 기인하여 막 중에 포함되는 수분), 물리 흡착 수분(물리적으로 흡착 및 흡수된 외래의 수분) 모두 적은 것을 알 수 있었다.

(v) FT-IR의 흡수 강도

다음에, 상기 시료(S1)에 대하여, FT-IR 분석법에 의해 적외선의 흡수 강도를 조사한 결과를 도 5a에 나타냈다. 상기 비교 시료(CS1, CS2)에 대하여 똑 같이 조사한 결과를 도 5b에 나타냈다.

도 5a의 증축은 선형 눈금으로 나타낸 흡수 강도(임의 단위)를 나타내고, 횡축은 선형 눈금으로 나타낸 파수(cm^{-1})를 나타낸다. 도 5b도 마찬가지이다.

도 5a에 나타난 바와 같이, 파수 2270 내지 2350 cm^{-1} 의 범위에 중심 파수를 갖는 적외선 흡수 강도의 피크가 확인되었다. 한편, 비교 시료(CS1, CS2)에서는 도 5b에 나타난 바와 같이 이와 같은 그 피크가 관찰되지 않았다.

(vi) 내수성

도 2b에 나타난 시료(S2, S3)를 사용하여, 가압 가습 시험(pressure-cooker test)에 의해서 PE-CVD TMS SiO₂막(42b)의 내수성을 조사하였다. 비교를 위해 PE-CVD TMS SiO₂막(42b) 대신에 PE-CVD TEOS SiO₂막(51b)을 사용한 비교 시료(CS3)와 마찬가지로 PE-CVD SiN막(53)을 사용한 비교 시료(CS5)에 의해서 똑 같은 조사를 하였다.

가압 가습 시험의 조건은 이하와 같다. 방치 시간을 파라미터로 취하고 있다.

온도: 121°C

압력: 2.0 atm

습도: 100% R.T. (Room Temperature)

내수성의 평가는 가압 가습 시험 후에 조사용 절연막 중에 포함되는 P=0 결합의 양을 평가함으로써 행하였다. BPSG막(43) 중에 포함되는 P=0 결합량을 평가하기 위해서, FTIR 분석법(Fourier Transform Infra Red 분석법)에 의해서 P=0의 흡수 계수를 측정하였다. BPSG막(43) 중에 수분이 침입함으로써 막 중의 P=0의 결합이 반응하여 깨지지만, BPSG막(43)을 커버하는 PE-CVD TMS SiO₂막(42b)의 내수성이 높으면, 수분을 통과시키지 않아 BPSG막(43) 중의 P=0의 결합이 깨지는 일은 없다. 따라서, P=0 흡수 계수의 시간에 따른 변화가 작을수록 내수성이 높다고 할 수 있다.

도 6은 가압 가습 시험 시간에 대한 시험 후의 절연막 중의 인 함유량의 시간에 따른 변화를 나타낸 그래프이다. 종축은 선형 눈금으로 나타낸 P=0 흡수 계수(임의 단위)를 나타내고, 횡축은 선형 눈금으로 나타낸 방치 시간(hr)을 나타낸다.

도 6에 나타난 결과에서, PE-CVD TMS SiO₂막(42b)는 막 두께가 두껍거나 얇음에 관계없이 시료(S2, S3) 모두 비교 시료(CS5)의 PE-CVD SiN막(53)과 똑 같이 150시간 정도 방치하여도 초기의 P=0 흡수 계수에 비해서 거의 변화가 없다. 즉, PE-CVD TMS SiO₂막(42b)은 PE-CVD SiN막(53)과 동등한 내수성을 갖고 있음을 알 수 있었다.

또, 조사용 시료(S3) 및 비교 시료(CS3, CS4)를 사용하여, 별도의 가압 가습 시험에 의해서 내수성을 조사하였다.

가압 가습 시험의 조건은 상기와 같다.

결과는 도 7에 나타냈다. 도 7의 종축은 선형 눈금으로 나타낸 내수성(%)을 나타내고, 횡축은 선형 눈금으로 나타낸 방치 시간(hr)을 나타낸다.

내수성의 평가는, 상기와 같이 가압 가습 시험 후에 조사용 절연막 중에 포함되는 P=0 결합의 양을 평가함으로써 행하였다. 도 7에서의 내수성이란, 방치 전의 P=0 흡수 계수를 100으로 하고, 이것을 기준으로 하여 가압 가습 시험 후에 있어서의 P=0 흡수 계수를 산출한 것이다.

도 7에 나타난 바와 같이, 시료(S3)는 비교 시료(CS3, CS4)를 상회하는 97.4%(100hr)의 내수성을 갖는 것을 알 수 있었다.

(vii) 막의 리크 전류

도 2a와 같은 조사용 시료(S1A)를 작성한다. 즉, 시료(S1)에 있어서, 본 발명에 따른 두께(t) 200nm의 PE-CVD TMS SiO₂막(42a) 위에 전극(45)을 형성함으로써 시료(S1A)를 작성한다.

실리콘 기판(41)과 전극(45) 사이에 전압을 인가하여, 실리콘 기판(41)과 전극(45) 사이에 흐르는 리크 전류를 측정하였다. 실리콘 기판(41)을 접지하는 동시에 전극(45)에 음의 전압을 인가한다.

이 결과에 의하면, PE-CVD TMS SiO₂막(42a) 단독의 리크 전류는 5MV/cm의 전계 강도로 10⁻⁸ A/cm² 정도이고, 브레이크 다운 전압은 전계로 환산하여 약 10MV/cm 이다.

(viii) 막의 밀착성

시료(S4, S5)를 사용하여, 본 발명에 따른 PE-CVD TMS SiO₂막(42c)과, 하지의 저유전율 절연막(44a, 44b)과의 밀착성에 대하여 조사하였다. 또, 성막 전의 표면 처리를 한 시료와 동처리를 하지 않았든 시료를 만들어 똑 같은 조사를 하였다. 성막 전의 표면 처리란 N₂, NH₃, H₂ 등의 플라스마를 사용하여 처리막의 표면을 개선하는 처리이다.

또, 비교를 위해서 PE-CVD TMS SiO₂막(42c) 대신에 PE-CVD TEOS SiO₂막(51c)을 사용하고, 또한 저유전율 절연막으로서 무기 도포 절연막(44a)(비교 시료(CS6)), 및 유기 도포 절연료(S5)(비교 시료(CS7))를 사용하여 똑 같은 조사를 하였다.

막의 밀착성을 조사하기 위한 시험으로서, 시료면의 수 cm×수 cm에 걸쳐서 격자 형상으로 상처를 내며, 테이프에 의한 박리 시험, 및 CMP(Chemical Mechanical Polishing)에 의한 웨이퍼 전면에서의 박리 시험을 하였다.

조사 결과에 의하면, PE-CVD TMS SiO₂막(42c)에서는 성막 전의 표면 처리의 유무에도 불구하고, 무기 도포 절연막(44a) 및 유기 도포 절연료(S5)의 밀착성은 양호하였다.

한편, PE-CVD TEOS SiO₂막(51c)에서는 전체적으로 밀착성의 정도가 PE-CVD TMS SiO₂막(42c)보다 뒤떨어진다. 그리고, 성막 전의 표면 처리의 유무로 차이가 있고, 표면 처리를 한 시료가 같은 처리를 하지 않은 시료에 비해서 밀착성이 높았다.

(ix) 히트 사이클에 의한 불량 발생률

시료(S6) 및 비교 시료(CS8, CS9)에 대하여, 히트 사이클에 의한 불량 발생률에 대하여 조사하였다. 각 시료는 패키지에 봉입하였다. 히트 사이클의 시험 조건은 이하와 같다. 사이클 수를 파라미터로 취하고 있다.

높은 온도(유지 시간): 150℃ (20분간)

낮은 온도(유지 시간): -55℃ (20분간)

사이클 수: 100, 200, 300, 500C

막 박리나 막의 크랙이 생긴 것을 불량으로 하였다. 결과는 도 9에 나타났다. 도 9의 증축은 선형 눈금으로 나타낸 불량 발생률(X)을 나타내고, 횡축은 시료의 종류를 나타낸다. 시료의 종류는 좌측에서 상기 설명한 시료(S6), 비교 시료(CS8, CS9)의 순으로 되어 있다. 막대 그래프의 구분 영역은 특정한 사이클 수에서의 불량률을 나타내고, 횡선으로 해칭한 구분 영역은 100C에서의 불량률을 나타내고, 증선으로 해칭한 구분 영역은 200C에서의 불량률을 나타내고, 사선으로 해칭한 구분 영역은 300C에서의 불량률을 나타내고, 백색의 구분 영역은 500C에서의 불량률을 나타낸다.

도 9에 나타난 바와 같이, 하부 보호층 및 상부 보호층 모두 본 발명의 실리콘 산화막을 사용한 시료(S6)에서는, 300C 이상에서 불량률이 발생하지만, 300C 및 500C에서의 불량 발생률을 합쳐도 2 내지 3% 정도이다. 하부 보호층 및 상부 보호층 중 하부 보호층만이 본 발명의 실리콘 산화막(42d)인 비교 시료(CS8)의 경우, 100C에서 500C까지 거의 균등하게 불량률이 발생하고 있고, 불량 발생률은 합쳐서 약 25% 정도였다. 하부 보호층 및 상부 보호층 모두 본 발명의 실리콘 산화막(42d, 42e)을 사용하지 않은 비교 시료(CS9)의 경우, 100C에서 500C까지 불량률이 발생하고, 특히 300C 및 500C에서의 불량 발생률이 높아져 있고, 불량 발생률은 합쳐서 약 53%였다.

(x) 동(Cu)에 대한 배리어성 조사

(a) TDOB(Time Dependent Dielectric Break Down) 시험

TDOB 시험은 시료에 전압을 인가하여 절연 파괴에 이르기까지의 시간을 측정하는 시험이다.

조사용 시료는 Si 기판 상에, 본 발명에 따른 PE-CVD TMS SiO₂막과 Cu를 차례로 적층함으로써 만들었다. 비교를 위해 PE-CVD TMS SiO₂막의 대신에 PE-CVD TEOS SiO₂막을 사용한 시료, 및 Cu와 PE-CVD TEOS SiO₂막 사이에 TiN막을 개재시킨 시료에 대하여도 똑 같은 조사를 하였다.

조사 결과에 따르면, 전계 강도 8MV/cm에서 10×10⁶초의 브레이크 다운 라이프 타임이 얻어진다.

한편, PE-CVD TEOS SiO₂막을 사용한 시료에서는, 10×10⁶초 정도의 브레이크 다운 라이프 타임을 얻기 위해서 전계 강도를 9MV/cm로 하였다. 이것은 PE-CVD TMS SiO₂막을 사용한 시료 쪽이 PE-CVD TEOS SiO₂막을 사용한 시료에 비해서 브레이크 다운 라이프 타임이 6자리 수 정도 긴 것을 표시하고 있다.

Cu와 PE-CVD TEOS SiO₂막 사이에 TiN막을 개재시킨 시료에서는, 10×10⁶초 정도의 브레이크 다운 라이프 타임을 얻기 위해서 전계 강도를 7.5MV/cm로 하였다.

이상에 의해서, PE-CVD TMS SiO₂막을 사용한 시료는 PE-CVD TEOS SiO₂막을 사용한 시료에 비해서 6자리 수 정도 긴 브레이크 다운 라이프 타임을 갖고, TiN막과 동등 이상의 Cu에 대한 배리어성을 갖는다고 할 수 있다.

(b) 내열성 조사

조사용 시료는 도 10에 나타난 바와 같이, 도면에 나타내지 않은 Si 기판 상에 본 발명에 따른 두께 125nm의 PE-CVD TMS SiO₂막과 Cu막을 인접하여 적층함으로써 만들었다.

조사는 성막 직후의 상태(도10 중, 점선으로 나타냄.)를 기준으로 하여 온도 470℃에서 소정 시간(1시간(2점쇄선), 7시간(실선), 15시간(1점쇄선)의 3종류) 처리한 후의 PE-CVD TMS SiO₂막 중의 Cu의 분포 상태를 측정함으로써 행하였다.

도 10은 조사 결과를 나타난 그래프이다. 도 10에서 좌측의 증축은 대수(logarithmic scale) 눈금으로 나타낸 Cu 농도 및 Si 농도(cm⁻³)를 나타낸다. 횡축은 선형(linear scale) 눈금으로 나타낸 PE-CVD TMS SiO₂막의 한쪽에서 Cu막 측을 향해서 측정한 깊이(nm)를 나타낸다.

도 10에 나타난 바와 같이, 성막 직후의 분포와 거의 변화가 없었다. 즉, PE-CVD TMS SiO₂막은 Cu에 대하여 충분한 배리어성을 갖는 것을 알 수 있었다.

또, 상기의 바에서는 성막 가스 중 실리콘 함유 가스로서, Si-H 결합을 갖는 알콕시 화합물(TMS)을 사용하고 있으나, Si-H 결합을 갖는 실록산을 사용할 수도 있다.

또, 산소 함유 가스로서 N₂O를 사용하고 있으나, 그 외에 산소(O₂), 이산화질소(NO₂), 일산화탄소(CO), 이산화탄소(CO₂), 및 물(H₂O)로 이루어진 그룹 중에서 선택된 어느 하나를 사용할 수도 있다.

또, 상기의 성막 가스에 수소(H₂), 및 질소(N₂)로 이루어진 그룹 중에서 선택된 적어도 하나를 첨가함으로써, 치밀성을 더욱 높일 수 있다.

(제 3 실시형태)

다음에, 도 11a, b를 참조하여, 본 발명의 제 3 실시형태에 따른 반도체 장치 및 그 제조 방법을 설명하겠다.

도 11a는 본 발명의 제 3 실시형태에 따른 반도체 장치를 나타낸 단면도이다. 도 11b는 a의 I-I선을 따른 단면도이다.

이 반도체 장치는 도 11a, b에 나타난 바와 같이, 하지 기판(31) 상에 두께 약 $1\mu\text{m}$ 의 SiOF막으로 이루어진 하부 배선 매립 절연막(32)이 형성되어 있다. 하부 배선 매립 절연막(32)에 하부 배선 홈(32a)이 형성되어, 하부 배선(33)이 매립되어 있다.

또, 이들 위에 본 발명에 따른 두께 수 10nm 의 PE-CVD TMS SiO₂막(실리콘 함유 절연막)으로 이루어진 배선 층간 절연막(34)과, 두께 약 $1\mu\text{m}$ 의 SiOF막으로 이루어진 상부 배선 매립 절연막(35)이 이 순서로 적층되어 있다. 본 발명에 따른 PE-CVD TMS SiO₂막은 적외선의 흡수 강도의 피크가 파수 2270 내지 2350cm^{-1} 의 범위이고, 밀도가 2.25 내지 2.40g/cm^3 의 범위이고, 또한 비유전율이 3.3 내지 4.3 의 범위이다.

배선 층간 절연막(34)에는 비어 홈(34a)이 형성되고, 상부 배선 매립 절연막(35)에는 비어 홈(34a)보다 큰 개구 면적을 갖고, 또한 비어 홈(34a)과 연통된 상부 배선 홈(35a)이 형성되어 있다.

그리고, 비어 홈(34a)과 상부 배선 홈(35a) 내에는 잘 알려진 듀얼 다마신법에 의해 TaN막(동 확산 저지막)(36a) 및 동막(36b)으로 이루어진 접속 도체(36)와, TaN막(36a)과 동막(36b)으로 이루어진 상부 배선(37)이 일체적으로 매립되어 있다. 그리고, 최상부 전체 면은 본 발명에 따른 PE-CVD TMS SiO₂막으로 이루어진 최상부 보호층(38)에 의해 피복되어 있다.

상기한 본원 발명자의 실험에 의하면, 상기 특성을 갖는 PE-CVD TMS SiO₂막이 실리콘 질화막과 똑 같이, 기계적 강도가 높고, 치밀하고, 내수성이 우수하여, 막 중의 수분 함유량이 적고, 또한 실리콘 질화막에 비해서 비유전율이 작다.

본 실시형태에서는 상기 특성을 갖는 PE-CVD TMS SiO₂막으로 이루어진 배선 층간 절연막(34)이 하부 배선(33), 특히 동막(33b)과 접하도록 동막(33b)을 피복하여 형성되어 있다. 또, 상부 배선(37), 특히 동막(36b)과 접하도록 동막(36b)을 피복하여 최상부 보호층(38)이 형성되어 있다.

따라서, 낮은 비유전율을 유지하면서, 실리콘 질화막과 같은 배리어 절연막 없이 하부 배선(33) 및 상부 배선(37)으로부터 주변부로 동 확산을 방지할 수 있다.

또, 하부 배선 매립 절연막(32)은 배선 층간 절연막(34)에 의해 피복되고, 상부 배선 매립 절연막(35)은 배선 층간 절연막(34)과 최상부 보호층(38)에 의해 상하면이 보호되어 있다. 따라서, 배선 매립 절연막(32, 35)으로 외래의 수분의 침입하는 것을 방지하며, 흡습에 의한 배선 매립 절연막(32, 35)의 비유전율의 변동을 방지할 수 있다. 또, 하부 배선(33)은 배선 층간 절연막(34)에 의해 피복되고, 상부 배선(37)은 최상부 보호층(38)에 의해 피복되어 있기 때문에, 배선의 부식 등을 방지할 수 있다.

다음에, 상기 구조의 제조 방법에 대하여 설명하겠다. 하부 배선(33)이 매립된 하부 배선 매립 절연막(32)과 상부 배선(37)이 매립된 상부 배선 매립 절연막(35) 사이에 끼워진 배선 층간 절연막(34)의 성막 가스로서 TMS+N₂O를 사용하고 있다.

우선, 도 11a에 나타난 바와 같이, 하지 기판(31) 상에 두께 약 $1\mu\text{m}$ 의 SiOF막으로 이루어진 배선 매립 절연막(32)을 형성한다. 계속해서, 배선 매립 절연막(32)을 에칭하여 배선 홈(32a)을 형성한 후, 배선 홈(32a)의 내면에 동 확산 저지막으로서 TaN막(33a)을 형성한다. 이어서, TaN막(33a) 표면에 도하지 않은 동 시드층을 스퍼터법에 의해 형성한 후, 도금법에 의해 동막을 매립한다. CMP법(Chemical Mechanical Polishing법)에 의해 배선 홈(32a)에서 돌출한 동막(33b) 및 TaN막(33a)을 연마하여 표면을 평탄화한다. 이에 의해 동막(33b) 및 TaN막(33a)으로 이루어진 하부 배선(33)이 형성된다. 이상의 요소로 피성막 기판(20)을 구성한다.

다음에, TMS+N₂O를 사용한 플라즈마 CVD법에 의해 두께 수 10nm 의 PE-CVD TMS SiO₂막으로 이루어진 배선 층간 절연막(34)을 형성한다. 이하, 그 상세한 설명을 한다.

즉, PE-CVD TMS SiO₂막을 형성하려면, 우선 피성막 기판(20)을 성막 장치(101)의 챔버(1) 내에 도입하고, 기판 유지기(3)에 유지한다. 계속해서, 피성막 기판(20)을 가열하여, 온도를 350°C 로 유지한다. TMS를 유량 100sccm 로, N₂O 가스를 유량 3000sccm 로, 도 10에 나타난 플라즈마 성막 장치(101)의 챔버(1) 내에 도입하고, 압력을 0.7Torr 로 유지한다. 이어서, 하부 전극(3)에 주파수 380kHz 의 전력 0.3W/cm^2 를 인가하고, 상부 전극(2)에도 주파수 13.56MHz 의 전력 0.3W/cm^2 를 인가한다.

이에 의해 TMS와 N₂O는 플라즈마화한다. 이 상태를 소정 시간 유지하여, 두께 수 10nm 의 PE-CVD TMS SiO₂막으로 이루어진 배선 층간 절연막(34)을 형성한다. 조사에 의하면 배선 층간 절연막(34)을 구성하는 성막된 PE-CVD TMS SiO₂막은 주파수 1MHz 로 측정한 비유전율이 대략 3.90 이고, 전계 강도 5MV/cm 인 때 리크 전류는 10^{-8}A/cm^2 였다.

이어서, SiOF막(32)을 형성할 때와 똑 같은 방법에 의해 배선 층간 절연막(34) 상에 두께 약 $1\mu\text{m}$ 의 SiOF막으로 이루어진 배선 매립 절연막(35)을 형성한다.

다음에, 잘 알려진 듀얼 다마신법에 의해 동막(36b)을 주로 하는 접속 도체(36)와 상부 배선(37)을 형성한다. 듀얼 다마신법에는 여러 가지 방법이 알려져 있으나, 여기서는 이하에 그 일례에 대해서 상세히 설명하겠다.

즉, 배선 매립 절연막(35) 상에 도시하지 않은 레지스트막을 형성한 후, 포토리소그래피법에 의해서 비어 홀을 형성할 영역에 레지스트막의 개구부를 형성한다. 이어서, 레지스트막의 개구부를 통해서 배선 매립 절연막(35) 및 배선 층간 절연막(34)을 에칭하여 관통시킨다. 이에 의해서 배선 층간 절연막(34)에 비어 홀(34a)이 형성된다.

다음에, 도시하지 않은 별도의 레지스트막을 형성하고, 배선 홀을 형성할 영역에 개구부를 형성한다. 이 레지스트막의 개구부는 배선 층간 절연막(34)의 비어 홀(34a)의 개구 면적보다 크고, 또한 배선 층간 절연막(34)의 비어 홀(34a)을 포함하도록 형성된다. 이어서, 레지스트막의 개구부를 통해서 배선 매립 절연막(35)을 에칭하여 관통시킨다. 이 때, 하지 배선 층간 절연막(34)은 배선 매립 절연막(35)의 에칭 가스에 대하여 에칭 내성을 갖기 때문에 배선 층간 절연막(34)에서 에칭이 정지된다. 이에 의해서 배선 매립 절연막(35)에 비어 홀(34a)과 연결되는 배선 홀(35a)이 형성된다.

다음에, 상기와 같이 TaN막(36a)을 비어 홀(34a)과 배선 홀(35a)의 내면에 형성한 후, 스퍼터법에 의해 동 시드층을 형성하고, 또 그 위에 동막(36b)을 매립하여, 접속 도체(36)와 상부 배선(37)을 형성한다. 이상이 소위 듀얼 다마신법이다.

다음에, 본 발명이 적용되는 성막 방법에 의해서 전체 면에 보호층(38)을 형성한다. 이에 의해서 반도체 장치가 완성된다.

이상과 같이, 본 제 3 실시형태에 의하면, 배선 층간 절연막(34)으로 이루어지는 PE-CVD TMS SiO₂막을, Si-H 결합을 갖는 알콕시 화합물인 TMS와, 산소 함유 가스인 N₂O로 이루어진 성막 가스를 플라즈마화하여, 반응시켜서 형성하고 있다.

본 발명에 따른 PE-CVD TMS SiO₂막의 비유전률은 약 3.9 정도이고, 또한 실리콘 질화막과 같은 정도의 치밀성을 갖는다. 이에 의해서 보호층으로서의 기능을 저하시키지 않고, 즉 동에 대한 높은 배리어성과 작은 리크 전류를 유지하며, 배선간의 절연막 전체의 실질적인 유전률을 저감시킬 수 있다.

이에 대하여, 도 12a, b는 비교예의 다층 배선 구조를 나타낸 단면도이다. 도 11a, b와 다른 점은 본 발명이 적용되는 PE-CVD TMS SiO₂막으로 이루어진 배선 층간 절연막(34) 대신에 두께 약 1μm의 실리콘 산화막(39b)이 두께 수 10nm의 실리콘 질화막(39a, 39c)에 의해서 사이에 끼워진 배선 층간 절연막(39)을 사용하고, PE-CVD TMS SiO₂막으로 이루어진 보호층(38) 대신에 두께 수 10nm의 실리콘 질화막(40)을 사용하고 있다. 이 경우, 비유전률이 약 7.2로 높은 실리콘 질화막(39a, 39c, 40)을 사용하고 있기 때문에, 배선간의 절연막 전체에서 유전률이 높아지게 된다. 또, 도 12a, b 중, 도 11a, b 중의 부호와 같은 부호로 나타낸 것은 도 11a, b 중의 것과 같은 것을 나타내기 때문에, 설명을 생략한다.

이와 같이, 제 3 실시형태에 의하면, 실리콘 질화막과 같은 배리어 절연막 없이 동 배선(33, 37)으로부터의 동식 확산을 방지하고, 또한 배선간의 절연막 전체로서 저유전률화를 도모할 수 있다.

또, SiO₂막으로 이루어진 하부 배선 매립 절연막(32) 및 상부 배선 매립 절연막(35) 사이에 PE-CVD TMS SiO₂막으로 이루어진 배선 층간 절연막(34)을 개재하고, 또한 상부 배선 매립 절연막(35)을 피복하여 PE-CVD TMS SiO₂막으로 이루어진 최상부 보호층(38)이 형성되어 있다. 따라서, 배선 층간 절연막(34) 및 최상부 보호층(38)에 의해서 불소(F) 원소의 주변부로의 확산을 방지할 수 있다. 이에 의해서 배선의 신뢰성을 향상시킬 수 있다.

또, 동막(33a)을 주로 하는 하부 배선(33)을 피복하여 배선 층간 절연막(34)을 형성하고, 또한 동막(36a)을 주로 하는 상부 배선(37)을 피복하여 최상부 보호층(38)을 형성하고 있기 때문에 주변부로의 동식 확산을 방지할 수 있다.

또, 원래 실리콘 질화막과 마찬가지로 본 발명의 절연막 자체의 리크 전류가 작기 때문에, 리크 전류를 줄이기 위해서 Si 및 C를 포함한 막과 같이 산소 도입을 하지 않아도 좋다. 따라서, 이러한 도입 산소에 의해 또는 산소 도입 처리에 의해서 상하부 배선(33, 37)의 동막(33b, 37b)의 표면이 산화되어 동막(33b, 37b)과 접촉하는 배선 층간 절연막(34)이나 보호층(38)이 쉽게 박리될 우려도 없다.

또, 배선 매립 절연막(32, 35)으로서 실리콘 함유 무기화합물 또는 실리콘 함유 유기화합물을 포함한 도포액에 의해서 형성된 도포 절연막을 사용하여도 좋다. 이 경우, 배선 층간 절연막(34), 보호층(38)인 PE-CVD TMS SiO₂막은 도포 절연막과의 밀착성이 좋기 때문에 막의 박리를 방지하고, 또 도포 절연막으로부터 주변부로의 수분의 방출을 보다 완전하게 방지할 수 있다.

(제 4 실시형태)

다음에, 도 13a 내지 g를 참조하여, 본 발명의 제 4 실시형태에 따른 반도체 장치 및 그 제조 방법을 설명하겠다.

도 13a는 본 발명의 제 4 실시형태에 따른 반도체 장치를 나타낸 단면도이다. 이 반도체 장치는 동 도면에 나타낸 바와 같이, 하지 기판(61) 상에 하부 배선 매립 절연막(62)이 형성되어 있다. 하부 배선 매립 절연막(62)은 주된 절연막(62a)과, 두께 약 50nm의 PE-CVD TMS SiO₂막으로 이루어진 제 1 상부 보호층(63a)이 적층되어서 구성된다. 하부 배선 매립 절연막(62)을 관통하는 하부 배선 홀(64)에 동 확산 저지막인 TaN막(65a)과 동막(65b)으로 이루어진 하부 배선(65)이 매립되어 있다. 하지 기판(61)은 반도체 기판이나 다른 도전층이라도 좋고, 절연성 기판이라도 좋다.

이들의 위에 비어 홀(68)이 형성된 배선 층간 절연막(66)과 상부 배선 홀(69)이 형성된 상부 배선 매립 절연막(67)이 형성되어 있다.

배선 층간 절연막(66)은 본 발명에 따른 두께 약 50nm의 PE-CVD TMS SiO₂막으로 이루어진 제 2 하부 보호층(66a)과, 주된 절연막(66b)과, 본 발명에 따른 두께 약 50nm의 PE-CVD TMS SiO₂막으로 이루어진 제 2

상부 보호층(66c)으로 구성되어 있다. 상부 배선 매립 절연막(67)은 주된 절연막(67a)과, 본 발명의 두께 약 50nm의 PE-CVD TMS SiO₂막으로 이루어진 제 3 상부 보호층(67b)으로 구성되어 있다.

상부 배선 홀(69)은 비어 홀(68)보다 큰 개구 면적을 갖고, 비어 홀(68)과 접속하도록 형성되어 있다. 비어 홀(68)과 상부 배선 홀(69) 내에는, 잘 알려진 듀얼 다마신법에 의해 동 확산 저지막인 TaN막(70a)과 동막(70b)으로 이루어진 접속 도체(70)와 똑 같이 동 확산 저지막인 TaN막(70a)과 동막(70b)으로 이루어진 상부 배선(71)이 일체적으로 매립되어 있다. 그리고, 최상부 전면은 본 발명에 따른 PE-CVD TMS SiO₂막으로 이루어진 최상부 보호층(72)에 의해서 피복되어 있다.

상기 주된 절연막(62a, 66b, 67a)으로서는 저유전율을 갖는 SiOF막이나 다공질 절연막 등을 사용할 수 있다.

본 발명에 따른 PE-CVD TMS SiO₂막은, 적외선의 흡수 강도의 피크가 파수 2270 내지 2350cm⁻¹의 범위이고, 밀도가 2.25 내지 2.40g/cm³의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위이다.

상기한 바와 같이, 상기 특성을 갖는 PE-CVD TMS SiO₂막은 실리콘 질화막과 똑 같이, 기계적 강도가 높고, 치밀하고, 내수성이 우수하고, 막 중의 수분 함유량이 적고, 또한 실리콘 질화막에 비해서 비유전율이 작다.

본 실시형태에서는, 하부 배선 매립 절연막(62)의 주체인 절연막(62a)이 상기 특성을 갖는 PE-CVD TMS SiO₂막으로 이루어진 보호층(63a)에 의해서 피복되고, 배선 층간 절연막(66) 및 상부 배선 매립 절연막(67)의 주체인 절연막(66b, 67a)이 각각 똑 같이 상기 특성을 갖는 PE-CVD TMS SiO₂막으로 이루어진 보호층(66a)과 (66c), 및 (66c)와 (67b)에 의해서 사이에 끼워져 있다. 이 때문에, 주체인 절연막(63a, 66b, 67a)으로 외래의 수분이 침입하는 것을 방지하고, 주체인 절연막(63a, 66b, 67a)의 비유전율의 변동을 방지할 수 있다. 또, 보호층(63a, 66a, 66c, 67b)에 의해서 내부로 수분이 침입하는 것이 저지되므로, 배선(65, 71)의 부식을 방지할 수 있다.

또, 보호층(63a, 66a, 66c, 67b)으로서 실리콘 질화막을 사용하지 않고, 비유전율이 낮은 PE-CVD TMS SiO₂막을 사용하고 있으므로, 배선(65, 71)간에 개재하는 절연막 전체로서 유전율을 저감할 수 있다.

또, 하부 배선(65), 특히 동막(65b)을 피복하여 상기 특성을 갖는 PE-CVD TMS SiO₂막으로 이루어진 보호층(66a)을 형성하고, 상부 배선(71), 특히 동막(70b)을 피복하여 상기 특성을 갖는 PE-CVD TMS SiO₂막으로 이루어진 최상부 보호층(72)을 형성하고 있기 때문에, 동막(65b, 70b)을 주로 하는 배선(65, 71)으로부터 주변부로의 동의 확산을 방지할 수 있다.

도 13a 내지 g는 본 발명의 제 4 실시형태에 따른 반도체 장치의 제조 방법을 나타낸 단면도이다. 보호층(63a, 66a, 66c, 67b)의 성막 가스로는 TMS+N₂O를 사용하고 있다.

우선, 도 13a에 나타난 바와 같이, 하지 기판(61) 상에 열산화막 또는 BPSG막 등으로 이루어진 하지 절연막(62)을 형성한 후, 성막 가스로서 TMS+N₂O를 사용한 플라즈마 CVD법에 의해서 두께 약 50nm의 PE-CVD TMS SiO₂막(63)을 형성한다. 성막된 PE-CVD TMS SiO₂막(63)은 주파수 1MHz로 측정된 비유전율이 대략 3.9이고, 전계 강도 5MV/cm일 때 리크 전류는 10⁻⁸A/cm²였다.

이어서, 도 13b에 나타난 바와 같이, PE-CVD TMS SiO₂막(63) 및 하지 절연막(62)을 패터닝하여 배선 홀(64)을 형성한다. PE-CVD TMS SiO₂막(63a)은 보호층으로 된다.

다음에, 도 13c에 나타난 바와 같이, 배선 홀(64)의 내면에 동 확산 저지막으로서 TaN막(65a)을 형성한다. 계속해서, 도시하지 않은 동 시드층을 형성한 후, 동막(65b)을 매립하여, TaN막(65a) 및 동막(65b)으로 이루어진 하부 배선(65)을 형성한다.

이어서, 도 13d에 나타난 바와 같이, 하부 배선(65)을 피복하는 본 발명의 PE-CVD TMS SiO₂막으로 이루어진 보호층(66a)을 형성한 후, 배선 층간 절연막의 주체인 절연막(66b) 및 본 발명의 PE-CVD TMS SiO₂막으로 이루어진 보호층(66c)을 형성하고, 접속도체를 매립하기 위한 배선 층간 절연막(66)을 형성한다. 계속해서, 마찬가지로 보호층(66c) 상에 배선 매립 절연막의 주체인 절연막(67a) 및 본 발명의 PE-CVD TMS SiO₂막으로 이루어진 보호층(67b)을 형성하고, 상부 배선을 매립하는 배선 매립 절연막(67)을 형성한다.

또, 배선 층간 절연막(66)의 주체인 절연막(66b) 및 배선 매립 절연막(67)의 주체인 절연막(67a)으로서 제 3 실시형태와 똑 같이 저유전율을 갖는 SiOF막을 사용한다.

도 13e 내지 g에 나타난 바와 같이, 잘 알려진 듀얼 다마신법에 의해서 접속 도체(70)와 상부 배선(71)을 형성한다. 이하, 듀얼 다마신법을 상세하게 설명한다.

즉, 보호층(67b) 상에 도시하지 않은 레지스트막을 형성한 후, 포트리소그래피법에 의하여 비어 홀을 형성할 영역에 레지스트막의 개구부를 형성한다. 이어서, 레지스트막의 개구부를 통해서 보호층(67b) 및 절연막(67a), 보호층(66c) 및 절연막(66b)을 에칭하여 관통시킨다. 이에 의해서 배선 층간 절연막(66) 중 보호층(66c) 및 주된 절연막(66b)에 개구부(68a)가 형성된다.

다음에, 도시하지 않은 별도의 레지스트막을 형성하고, 배선 홀을 형성할 영역에 개구부를 형성한다. 이 레지스트막의 개구부는 최초의 개구부의 개구 면적보다 크고, 또한 최초의 개구부를 포함하도록 형성된다. 이어서, 레지스트막의 개구부를 통해서 보호층(67b) 및 절연막(67a)을 에칭하여 관통시킨다. 이때, 하지의 보호층(66c)은 절연막(67a)의 에칭 가스에 대하여 에칭 내성을 갖기 때문에 보호층(66c)에서 에칭이 정지된다. 이에 의해서 배선 매립 절연막(67)에 배선 홀(69)이 형성된다. 그 후, 보호층(66a)을 에칭하여, 배선 층간 절연막(66)을 관통하는 비어 홀(68)을 형성한다. 이에 의해서 비어 홀(68) 저부에

하부 배선(65)이 노출되며, 비어 홀(68)을 통해서 하부 배선(65)과 배선 홀(69)이 이어진다.

다음에, TaN막(70a)을 비어 홀(68)과 배선 홀(69)의 내면에 형성한 후, 도하지 않은 동 시드층을 형성하고, 또 그 위에 동막(70b)을 매립하여, 접속 도체(70)와 상부 배선(71)을 형성한다. 이상이 소위 듀얼 다마신법이다.

다음에, 본 발명이 적용되는 성막 방법에 의해서 전면 PE-CVD TMS SiO₂막으로 이루어진 보호층(72)을 형성한다.

이상과 같이, 이 제 4 실시형태의 반도체 장치의 제조 방법에 의하면, 아래로부터 차례로 절연막과 보호층이 적층되어 이루어진 배선 층간 절연막(66) 및 배선 매립 절연막(67)을 형성하고, 배선 층간 절연막(66) 및 배선 매립 절연막(67)을 아래로부터 차례로 개구 면적이 커지도록 관통시켜서, 비어 홀(68)과 비어 홀(68)이 연결된 배선 홀(69)을 교대로 형성하고 있다. 즉, 보호층(66c)은 절연막(67a)을 선택적으로 에칭할 때에 에칭되는 절연막(67a)의 하지로 된다. 본 발명이 적용되는 보호층(66c)은 치밀하기 때문에 마스크로서 유효하게 기능하며, 또한 하층의 절연막(66b)의 과잉 에칭에 대한 스톱퍼로서 유효하게 기능한다.

또, 주체인 절연막(66b, 67a)으로서, SiOF막의 대신에 저유전율을 갖는 도포 절연막을 사용하여도 좋다.

(제 5 실시형태)

다음에, 도 14를 참조하여, 본 발명의 제 5 실시형태에 따른 반도체 장치 및 그 제조 방법을 설명하겠다. 도 14는 본 발명의 제 5 실시형태에 따른 반도체 장치를 나타낸 단면도이다.

도 14에 나타난 바와 같이, 본 실시형태의 반도체 장치는, 기판(81) 상에, 아래로부터 차례로 배선 층간 절연막(82), 배선 매립 절연막(83), 배선 층간 절연막(84), 배선 매립 절연막(85), 배선 층간 절연막(86), 배선 매립 절연막(87)으로 이루어진 적층 구조가 형성된다.

이 경우, 배선 층간 절연막(82, 84, 86) 및 배선 매립 절연막(83, 85, 87)의 주체인 저유전율 절연막으로 이루어진 절연막(82a/82c, 83a/83c, 84a/84c, 85a/85c, 86a/86c, 87a)과, 본 발명의 PE-CVD TMS SiO₂막으로 이루어진 보호층(82d, 83d, 84d, 85d, 86d, 87b)을 교대로 적층하고 있다. 상기한 본 발명에 따른 PE-CVD TMS SiO₂막은 적외선의 흡수 강도의 피크가 파수 2270 내지 2350cm⁻¹의 범위이고, 막 밀도가 2.25 내지 2.40g/cm³의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위이다. 이하 똑 같다.

또, 저유전율 절연막으로 이루어진 절연막(82a/82c, 83a/83c, 84a/84c, 85a/85c, 86a/86c, 87a)로서 상기한 SiOF막이나 도포 절연막을 사용할 수 있다.

즉, 각 배선 층간 절연막(82, 84, 86)은 아래로부터 차례로 주된 절연막(82a/82c, 84a/84c, 86a/86c)과 보호층(82d, 84d, 86d)이 적층되어서 구성된다. 또, 각 배선 매립 절연막(83, 85, 87)은 하층으로부터 차례로 주된 절연막(83a/83c, 85a/85c, 87a)과 보호층(83d, 85d, 87b)이 적층되어서 구성된다.

본 실시형태에서는, 각 배선 층간 절연막(82, 84, 86)의 주된 절연막(82a/82c, 84a/84c, 86a/86c) 사이에 본 발명의 PE-CVD TMS SiO₂막으로 이루어진 절연막(82b, 84b, 86b)을 개재하여, 배선 매립 절연막(83, 85)의 주된 절연막(83a/83c, 85a/85c) 사이에 본 발명의 PE-CVD TMS SiO₂막으로 이루어진 절연막(보호층)(83b, 85b)을 개재한다. 주된 절연막의 저유전율 절연막은 응력에 의해서 크랙이 생기기 쉬워서, 그것을 방지하기 위해서 절연막(82b, 84b, 86b)이나 절연막(83b, 85b)을 개재시킨다.

그리고, 배선 층간 절연막(82, 84, 86)에는 비어 홀(88a, 88c, 88e)이 형성되고, 배선 매립 절연막(83, 85, 87)에는 배선 홀(88b, 88d, 88f)이 형성되어 있다. 즉, 비어 홀(88a, 88c, 88e)과 배선 홀(88b, 88d, 88f)과는 교대로 형성되고, 아래로부터 순차로 개구 면적이 커지도록, 또한 비어 홀(88a, 88c, 88e)과 이것과 인접하는 배선 홀(88b, 88d, 88f)이 연결되도록 형성되어 있다.

비어 홀(88a, 88c, 88e)과 배선 홀(88b, 88d, 88f)의 내면에는 TaN막으로 이루어진 동 확산 저지막(89a)이 형성되고, 동 확산 저지막(89a)을 개재시켜서 동막(89b)이 매립된다. 비어 홀(88a, 88c, 88e)에 매립된 동확산 저지막(89a) 및 동막(89b)이 상하 배선끼리를 접속하는 접속 도체로 되어, 배선 홀(88b, 88d, 88f)에 매립된 동 확산 저지막(89a) 및 동막(89b)이 배선을 구성한다.

최상부에는 본 발명의 절연막인 PE-CVD TMS SiO₂막으로 이루어진 보호층(80)이 최상층의 배선을 피복하여 형성되어 있다.

또, 기판(81)으로서 예를 들면, 배선 매립 절연막에 동막으로 이루어진 또는 동막을 주로 하는 배선이 매립되어 있는 것을 사용할 수 있다. 이 경우, 상기 배선이 비어 홀(88a) 중의 접속 도체(89)와 접속하게 된다.

이상과 같이, 제 5 실시형태에 따른 반도체 장치에 의하면, 제 4 실시형태보다도 다층 배선의 층수가 3층으로 많지만, 제 4 실시형태와 똑 같은 효과를 갖는다.

상기 구성의 반도체 장치의 제조 방법은, 제 4 실시형태에서 설명한 제조 방법을 이용하는 것이 가능하다. 이것을 이하에 간단하게 설명하겠다. 이 경우에도 제 3 및 제 4 실시형태와 같이, 본 발명의 보호층(82d, 83d, 84d, 85d, 86d, 87d) 및 주된 절연막 사이에 개재하는 절연막(82b, 83b, 84b, 85b, 86b)의 성막 가스로서 TMS-N₂O를 사용한다.

즉, 도 13d와 마찬가지로, 기판(81) 상에, 아래로부터 순차로 저유전율 절연막(82a, 82c, 83a, 83c, 84a, 84c, 85a, 85c, 86a, 86c, 87a)(이하, 82a 내지 87a로 적는다.)과 PE-CVD TMS SiO₂막으로 이루어진 절연막(82b, 82d, 83b, 83d, 84b, 84d, 85b, 85d, 86b, 86d, 87b)(이하, 82b 내지 87b로 적는다.)을 교대로

형성한다. 여기서, 절연막(82a 내지 82d)을 배선 층간 절연막(82)으로 하고, 절연막(83a 내지 83d)을 배선 매립 절연막(83)으로 하고, 절연막(84a 내지 84d)을 배선 층간 절연막(84)으로 하고, 절연막(85a 내지 85d)을 배선 매립 절연막(85)으로 하고, 절연막(86a 내지 86d)을 배선 층간 절연막(86)으로 하고, 절연막(87a, 87b)을 배선 매립 절연막(87)으로 한다. 즉, 배선 층간 절연막(82) 등 및 배선 매립 절연막(83) 등은 절연막(82a 내지 87a)을 하층으로 하고, 보호층(82b 내지 87b)을 상층으로 하는 조(組)가, 적어도 2조 이상 적층되어 있다.

그리고, 도 13e, f와 마찬가지로, 교대로 적층된 배선 층간 절연막(82) 등과 배선 매립 절연막(83) 등을 순차로 개구 면적이 커지도록, 또한 상호 이어지도록 관통시켜서, 개구부(88a 내지 88f)를 형성한다. 이들 개구부(88a 내지 88f)는 비어 홀(88a, 88c, 88e)과 그 비어 홀과 이어진 배선 홀(88b, 88d, 88f)으로 구성된다.

그 후, 도 13g와 마찬가지로, 상하 배선 홀(88b, 88d, 88f) 내의 배선이 비어 홀(88a, 88c, 88e) 내의 접속 도체에 의해 접속되도록, 접속 도체 및 배선(89a, 89b)을 형성한다.

그 후, 본 발명의 PE-CVD TMS SiO₂막으로 이루어진 보호층(80)을 형성하면, 반도체 장치가 완성된다.

이상과 같이, 제 5 실시형태에 따른 반도체 장치의 제조 방법에 의하면, 제 4 실시형태보다 다층 배선의 층수가 3층으로 많지만, 제 4 실시형태와 똑 같은 효과를 갖는다.

이상 실시형태에 의해서 본 발명을 상세히 설명하였으나, 본 발명의 범위는 상기 실시형태에 구체적으로 나타낸 예에 한정되는 것은 아니고, 본 발명의 요지를 벗어나지 않는 범위의 상기 실시형태의 변경은 본 발명의 범위에 포함된다.

이상과 같이, 본 발명에 따른 실리콘 함유 절연막은, 적외선의 흡수 강도의 피크가 파수 2270 내지 2350cm⁻¹의 범위이고, 밀도가 2.25 내지 2.40g/cm³의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위이다.

본 발명의 반도체 장치로는, 동막으로 이루어진 또는 동막을 주로 하는 배선을 피복하는 보호층을 갖고, 그 보호층이 상기 특성을 갖는 실리콘 함유 절연막으로 구성된다. 이 보호층은 실리콘 질화막과 같이 치밀하므로, 주변부로의 등의 확산을 방지할 수 있다.

또, 하부 배선과 상부 배선 사이에 상기 특성을 갖는 층간 절연막을 갖는다. 즉, 하부 배선과 상부 배선 사이에 상기 특성을 갖는 층간 절연막이 개재되어 있기 때문에, 저유전율을 유지하면서 주변부로의 등의 확산을 방지할 수 있다.

또, 하부 배선과 상부 배선 사이에, 주된 절연막과 이 주된 절연막의 상하면을 피복하는 상기 특성을 갖는 보호층을 갖는다. 즉, 하부 배선과 주된 절연막 사이에 및 상부 배선과 주된 절연막 사이에 각각 상기 특성을 갖는 보호층이 개재되어 있기 때문에, 주된 절연막으로의 등의 확산을 방지할 수 있다. 또, 주된 절연막으로서 낮은 비유전율을 갖는 다공질 절연막이나 도포 절연막 등을 사용함으로써 저유전율을 유지하면서, 주된 절연막으로의 등의 확산을 방지할 수 있다.

또, 본 발명의 반도체 장치의 제조 방법에 의하면, Si-H 결합을 갖는 알콕시 화합물, 및 Si-H 결합을 갖는 실록산으로 이루어진 그룹 중에서 선택된 어떤 하나와, O₂, N₂O, NO₂, CO, CO₂, 또는 H₂O로 이루어진 그룹 중에서 선택된 어느 하나의 산소 함유 가스로 이루어진 성막 가스를 플라즈마화하여 반응시킴으로써, 실리콘 함유 절연막을 형성하고 있다.

상기 성막 조건에 의해 형성된 실리콘 함유 절연막은 치밀하고, 내수성이 우수하고, 막 중의 수분 함유량이 작으며, 또한 비유전율이 작다.

발명의 효과

따라서, 동막으로 이루어진 또는 동막을 주로 하는 하부 배선이 매립된 하부 배선 매립 절연막과 동막으로 이루어진, 또는 동막을 주로 하는 상부 배선이 매립된 상부 배선 매립 절연막 사이에 배선 층간 절연막 사이에 끼워서 구성되는 반도체 장치의 제조 방법에 있어서, 배선 층간 절연막으로서 상기 성막 조건에 의해 형성된 실리콘 함유 절연막을 형성함으로써, 하부 배선과 상부 배선 사이에 본 발명의 층간 절연막이 개재하게 되므로, 실리콘 질화막 등과 같은 보호층 없이 하부 배선 및 상부 배선으로부터의 등의 확산을 방지하고, 또한 배선간의 절연막 전체로서 저유전율화를 도모할 수 있다.

또, 배선 층간 절연막 및 배선 매립 절연막의 주된 절연막과 본 발명에 따른 실리콘 함유 절연막으로 이루어진 보호층을 교대로 적층하고, 하층으로부터 순차로 적어도 주된 절연막과 보호층이 적층되어서 이루어지는, 배선 층간 절연막 및 배선 매립 절연막을 교대로 2층 이상 적층하여 비어 홀과 배선 홀을 형성하고, 거기에 접속 도체와 배선을 매립하고 있다. 이에 의해서 배선과 주된 절연막 사이에는 보호층이 개재되기 때문에, 주된 절연막으로의 배선으로부터 등이 확산되는 것을 방지할 수 있다.

또, 하부 배선을 본 발명에 따른 실리콘 함유 절연막으로 이루어진 보호층에 의해서 피복하고 있기 때문에 주변부로의 등의 확산을 방지할 수 있다.

또, 본 발명의 절연막 자체, 실리콘 질화막과 같이 원래 리크 전류가 작기 때문에, 리크 전류를 줄이기 위해서 Si 및 C를 포함한 막과 같이 산소 도입을 하지 않아도 좋다. 따라서, 그 도입 산소에 의해 또는 산소 도입 처리에 의해서 동막 등으로 이루어진 배선의 표면이 산화되어서 동막 등으로 이루어진 배선과 접촉하는 보호층 등이 쉽게 벗겨질 우려도 없다.

또, 보호층으로서 실리콘 질화막을 사용하지 않고, 비유전율이 낮은 절연막을 사용하고 있으므로, 배선간의 절연막 전체로서 유전율을 저감할 수 있다.

(57) 청구의 범위

청구항 1. 하측으로부터 하부 배선 매립 절연막과, 배선 층간 절연막과, 상부 배선 매립 절연막이 순차로 적층되고, 또한 하부 배선 매립 절연막으로 동막으로 이루어진 또는 동막을 주로 하는 하부 배선이 매립되고, 상부 배선 매립 절연막으로 동막으로 이루어진 또는 동막을 주로 하는 상부 배선이 매립된 반도체 장치의 제조 방법에 있어서,

상기 배선 층간 절연막을 Si-H 결합을 갖는 알콕시 화합물, 및 Si-H 결합을 갖는 실록산으로 이루어진 그룹 중에서 선택된 어느 하나와, O_2 , N_2O , NO_2 , CO , CO_2 , 또는 H_2O 로 이루어진 그룹 중에서 선택된 어느 하나의 산소 함유 가스로 이루어진 성막 가스를 플라즈마화하여 반응시킴으로써 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 배선 층간 절연막에 비어 홀이 형성되고, 상기 비어 홀에 상기 하부 배선과 상기 상부 배선을 접속하도록 동막으로 이루어진 또는 동막을 주로 하는 접속 도체가 매립되어 있는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 3. 제 1 항에 있어서,

상기 하부 배선 매립 절연막 및 상부 배선 매립 절연막은 비유전율이 4.0 이하인 절연막인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 4. 제 1 항에 있어서,

상기 하부 배선 매립 절연막 및 상부 배선 매립 절연막으로 이루어진 그룹 중에서 선택된 적어도 어느 하나는, 실리콘(Si), 산소(O) 및 불소(F)를 함유한 절연막, 또는 실리콘(Si), 산소(O) 및 불소(F)를 함유한 다공질 절연막인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 5. 제 1 항에 있어서,

상기 배선 층간 절연막을 형성하는 성막 가스에 N_2 또는 H_2 중 어느 하나를 첨가하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 6. 제 1 항에 있어서,

상기 Si-H 결합을 갖는 알콕시 화합물은 트리메톡시실란($TMS: SiH(OCH_3)_3$)인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 7. 제 1 항에 있어서,

상기 Si-H 결합을 갖는 실록산은 테트라메틸디실록산($TMDSO: (CH_3)_2HSi-O-SiH(CH_3)_2$)인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8. 제 1 항에 있어서,

플라즈마 섹션 수단으로서 평행 평판형의 제 1 및 제 2 전극을 사용하고, 또한 상기 성막 시에, 상기 제 1 전극에 주파수 1MHz 이상의 고주파 전력을 인가하고, 또한 상기 기판을 유지하는 제 2 전극에 주파수 100kHz 내지 1MHz의 저주파 전력을 인가하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 9. (a) 기판 위에 아래로부터 순차로 절연막과 보호층을 적층하고, 하측으로부터 순차로 적층된 절연막과 보호층을 한 조로 하여 그 조를 한 조 이상 포함한 배선 층간 절연막과, 하측으로부터 순차로 적층된 절연막과 보호층을 한 조로 하여 그 조를 한 조 이상 포함한 배선 매립 절연막을 교대로 2 층 이상 적층하는 공정과,

(b) 상기 배선 층간 절연막과 상기 배선 매립 절연막을 관통시켜 하측으로부터 순차로 개구 면적이 커지도록 하고 또한 인접하는 개구부 사이에서 서로 접속된 개구부를 형성하여, 배선 층간 절연막에 비어 홀을, 상기 배선 매립 절연막에 배선 홀을 각각 형성하는 공정, 및

(c) 상기 비어 홀과 상기 배선 홀에 동막으로 이루어진 또는 동막을 주로 하는 금속막을 매립하여 비어 홀에 접속 도체를, 배선 홀에 접속 도체와 접속된 배선을 형성하는 공정을 갖고,

상기 보호층은 Si-H 결합을 갖는 알콕시 화합물 및 Si-H 결합을 갖는 실록산으로 이루어진 그룹 중에서 선택된 어느 하나와, O_2 , N_2O , NO_2 , CO , CO_2 및 H_2O 로 이루어진 그룹 중에서 선택된 어느 하나의 산소 함유 가스로 이루어진 성막 가스를 플라즈마화하여 반응시킴으로써 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 10. 제 9 항에 있어서,

상기 기판은 하부 배선과 상기 하부 배선과 접속하도록 하부 배선을 피복하는 보호층을 갖고, 상기 보호층은 Si-H 결합을 갖는 알콕시 화합물 및 Si-H 결합을 갖는 실록산으로 이루어진 그룹 중에서 선택된 어느 하나와, O_2 , N_2O , NO_2 , CO , CO_2 및 H_2O 로 이루어진 그룹 중에서 선택된 어느 하나의 산소 함유 가스로 이루어진 성막 가스를 플라즈마화하여 반응시킴으로써 형성하고, 상기 (b)의 공정에서 비어 홀과 배선 홀을 형성할 때, 상기 보호층을 관통하여 하부 배선을 노출시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 11. 제 9 항에 있어서,

상기 절연막은 실리콘 함유 유기물을 포함한 도포액 및 실리콘 함유 유기물을 포함한 도포액으로 이루어진 그룹 중에서 선택된 어느 하나를 도포하여 형성된 도포 절연막인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 12. 제 9 항에 있어서,

상기 배선 층간 절연막과 상기 배선 매립 절연막은 하층의 절연막과 상층의 보호층을 한 조로 하여 그 조를 2조 이상 적층함으로써 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 13. 제 9 항에 있어서,

상기 금속막은 동 확산 저지막과 동막으로 이루어지고,

또한 비어 홀과 배선 홀을 매립하는 공정은 비어 홀과 배선 홀 면 내에 동 확산 저지막을 형성하는 공정과, 동 확산 저지막 상에 동막을 형성하는 공정으로 이루어지는

것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 14. 제 9 항에 있어서,

상기 보호층을 형성하는 성막 가스에 N_2 또는 H_2 중 어느 하나를 첨가하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 15. 제 9 항에 있어서,

상기 Si-H 결합을 갖는 알콕시 화합물은 트리메톡시실란(TMS: $SiH(OCH_3)_3$)인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 16. 제 9 항에 있어서,

상기 Si-H 결합을 갖는 실록산은 테트라메틸디실록산(TMDSO: $(CH_3)_2HSi-O-SiH(CH_3)_2$)인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 17. 제 9 항에 있어서,

플라즈마 생성 수단으로서 평행 평판형의 제 1 및 제 2 전극을 사용하고, 또한 상기 성막 시에, 상기 제 1 전극에 주파수 1MHz 이상의 고주파 전력을 인가하고, 또한 상기 기판을 유지하는 제 2 전극에 주파수 100kHz 내지 1MHz의 저주파 전력을 인가하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 18. 동막으로 이루어진 또는 동막을 주로 하는 배선을 갖는 기판과,

상기 배선과 접촉하도록 상기 배선을 피복하여 기판 상에 형성된 실리콘 함유 절연막을 갖고,

상기 실리콘 함유 절연막은 적외선 흡수 강도의 피크가 파수(wave number) 2270 내지 $2350cm^{-1}$ 의 범위이고, 막 밀도가 2.25 내지 $2.40g/cm^3$ 의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위인

것을 특징으로 하는 반도체 장치.

청구항 19. 제 18 항에 있어서,

상기 실리콘 함유 절연막 상에 형성된 동막으로 이루어진 또는 동막을 주로 하는 상부 배선을 더 갖는 것을 특징으로 하는 반도체 장치.

청구항 20. 제 19 항에 있어서, 상기 반도체 장치는,

(a) 하부 배선으로서의 상기 배선을 매립한 배선 홀을 구비한 배선 매립 절연막과,

(b) 상기 배선 상에 배선 층간 절연막으로서의 실리콘 함유 절연막에 형성된 비어 홀에 매립된 동막으로 이루어진 또는 동막을 주로 하는 접속 도체와,

(c) 상기 실리콘 함유 절연막 상에 형성되고, 상기 비어 홀과 이어진 배선 홀을 구비한 상부 배선 매립 절연막, 및

(d) 상기 상부 배선 홀에 접속 도체와 접속하도록 매립된 동막으로 이루어진 또는 동막을 주로 하는 상기 상부 배선

을 더 갖는 것을 특징으로 하는 반도체 장치.

청구항 21. 제 20 항에 있어서, 상기 반도체 장치는,

상기 상부 배선을 피복하여 상기 상부 배선 매립 절연막 상에 형성된 최상부 보호층을 더 갖고,

상기 최상부 보호층은 적외선 흡수 강도의 피크가 파수 2270 내지 $2350cm^{-1}$ 의 범위이고, 막 밀도가 2.25 내지 $2.40g/cm^3$ 의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위인 실리콘 함유 절연막으로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 22. 제 20 항에 있어서,

상기 배선과, 상기 비어 홀 내의 접속 도체와, 상기 배선 홀 내의 상부 배선은 동 확산 저지막과 상기 동 확산 저지막 상의 동막으로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 23. (a) 기판 상에 형성된 적층 구조로서, 상기 적층 구조는,

(i) 그 구조의 하부로서 적층된 배선 층간 절연막을 관통하는 비어
를 구비한 배선 층간 절연막을 갖고, 상기 배선 층간 절연막은 하부
주된 절연막과 상부 층으로서의 보호층을 갖고,

층으로서의

(ii) 상기 배선 층간 절연막의 위에 그 구조의 상부로서 적층된 배선
층 절연막을 관통하는 배선 홈을 구비한 배선 매립 절연막을 구비하
는 배선 매립 절연막은 하부 층으로서의 주된 절연막과 상부 층
을 갖고,

매
되, 상기
으로서의 보호층을

기판 상에 형성된 적층 구조와,

(b) 상기 비어 홀에 매립된 동막으로 이루어진 또는 동막을 주로 하는 접속 도체, 및

(c) 상기 접속 도체와 접촉하도록 배선 매립 절연막으로 매립된 동막으로 이루어진 또는 동막을 주로 하
는 배선을 포함하고

상기 보호층은 적외선 흡수 강도의 피크가 파수 2270 내지 2350 cm^{-1} 의 범위이고, 막 밀도가 2.25 내지
2.40 g/cm^3 의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위인

것을 특징으로 하는 반도체 장치.

청구항 24. 제 23 항에 있어서,

상기 기판은 하부 배선과 상기 하부 배선과 접촉하도록 상기 하부 배선을 피복하는 보호층을 갖고,

상기 보호층은 상기 배선 상에 상기 배선과 상기 접속 도체를 접촉하도록 한 상기 비어 홀을 구비하고,
또한 상기 보호층은 적외선 흡수 강도의 피크가 파수 2270 내지 2350 cm^{-1} 의 범위이고, 막 밀도가 2.25 내
지 2.40 g/cm^3 의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위인

것을 특징으로 하는 반도체 장치.

청구항 25. 제 23 항에 있어서,

상기 비어 홀과 배선 홈은 하측으로부터 순차로 개구 면적이 커지도록 교대로 형성되어 있는 것을 특징으
로 하는 반도체 장치.

청구항 26. 제 23 항에 있어서,

상기 반도체 장치는 상기 배선을 피복하여 상기 배선 매립 절연막 상에 형성된 최상부 보호층을 더 갖고,

상기 최상부 보호층은 적외선 흡수 강도의 피크가 파수 2270 내지 2350 cm^{-1} 의 범위이고, 막 밀도가 2.25
내지 2.40 g/cm^3 의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위인 실리콘 함유 절연막으로 이루어진
것을 특징으로 하는 반도체 장치.

청구항 27. 제 23 항에 있어서,

상기 배선 층간 절연막은 상기 주된 절연막과 상기 보호층을 한 조로 하여 그 조를 적어도 2조 포함하고,
상기 배선 매립 절연막은 상기 주된 절연막과 상기 보호층을 한 조로 하여 그 조를 적어도 2조 포함하는
것을 특징으로 하는 반도체 장치.

청구항 28. 제 23 항에 있어서,

상기 적층 구조는 상기 배선 층간 절연막과 상기 배선 매립 절연막을 한 조로 하여 그 조를 적어도 2조
포함하는 것을 특징으로 하는 반도체 장치.

청구항 29. 제 23 항에 있어서,

상기 주된 절연막은 실리콘 함유 유기물 또는 실리콘 함유 무기물중 적어도 어느 하나를 포함한 도포 절
연막, SiOF막 또는 다공질 절연막중 어느 하나인 것을 특징으로 하는 반도체 장치.

청구항 30. 제 23 항에 있어서,

상기 비어 홀 내의 상기 접속 도체와 상기 배선 홈 내의 배선은 동 확산 저지막과 상기 동 확산 저지막
상의 동막으로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 31. 동막으로 이루어진 또는 동막을 주로 하는 배선을 구비한 기판과,

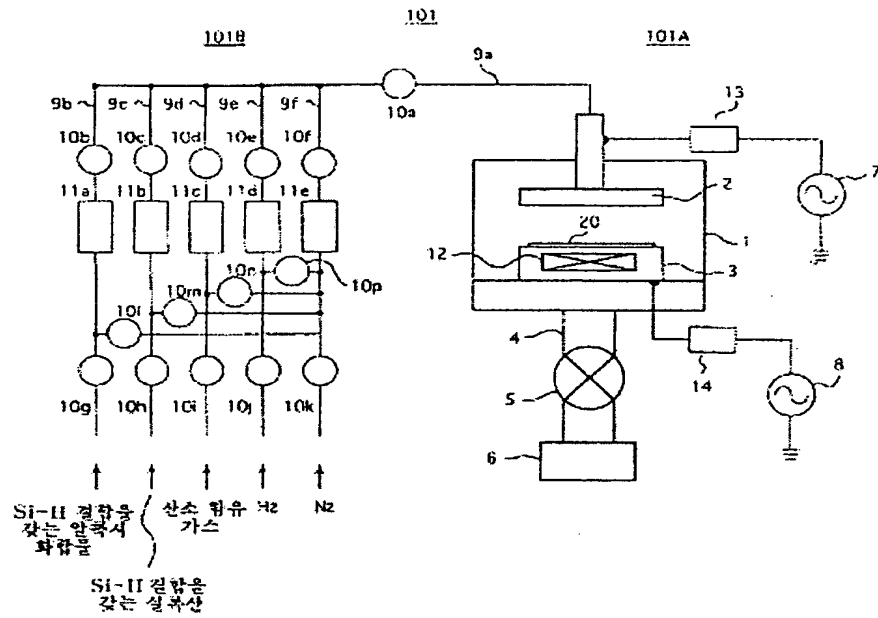
상기 배선과 접촉하도록 상기 배선을 피복하여 상기 기판 상에 형성된 절연막, 및

상기 절연막 상에 형성된 보호층을 갖고,

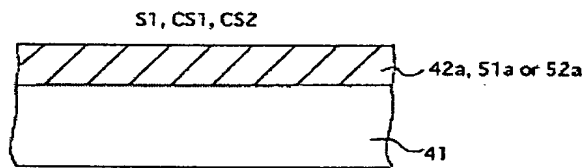
상기 보호층은 적외선 흡수 강도의 피크가 파수 2270 내지 2350 cm^{-1} 의 범위이고, 막 밀도가 2.25 내지
2.40 g/cm^3 의 범위이고, 또한 비유전율이 3.3 내지 4.3의 범위인 실리콘 함유 절연막으로 이루어진
것을 특징으로 하는 반도체 장치.

도면

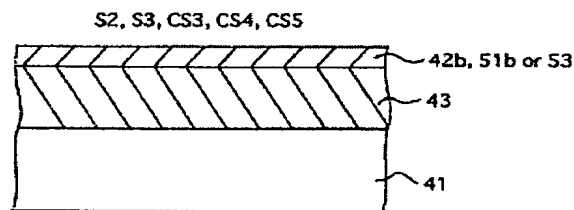
도면1



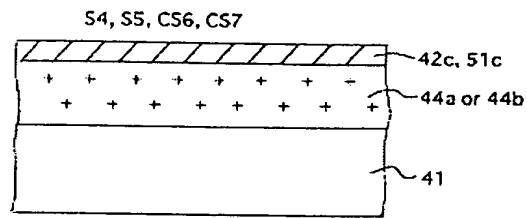
도면2a



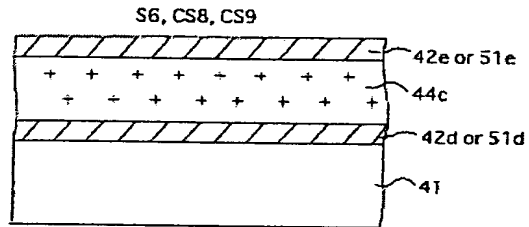
도면2b



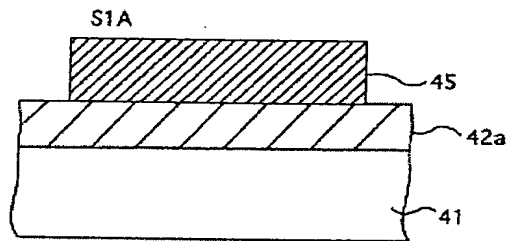
도 12b



도 12c



도 12d



도 12e

X선 간섭법에 의한 막 밀도

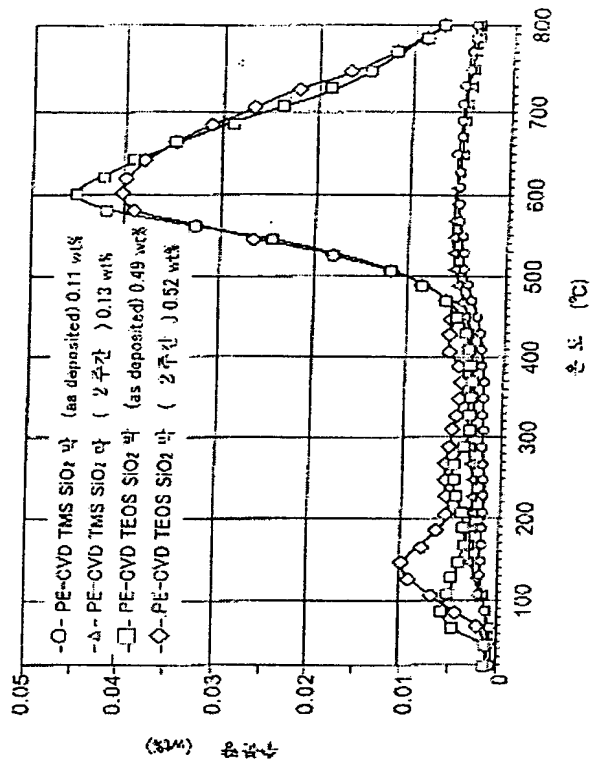
조사막종류	PE-CVD TMS SiO ₂ 막	PE-CVD TEOS SiO ₂ 막	PE-CVD SiH ₄ SiO ₂ 막	원 SiO ₂ 막
막 밀도 (g/cm ³)	2.33	2.26	2.24~2.30	2.23

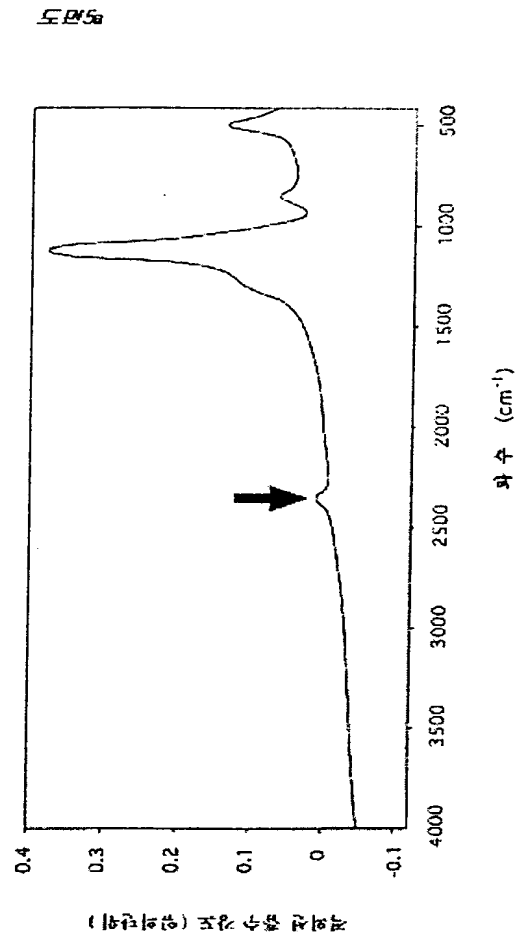
도 13

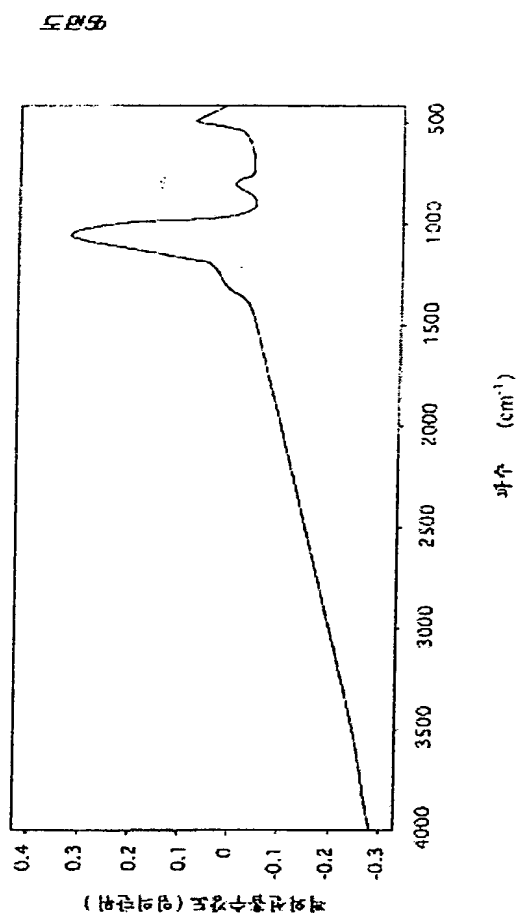
증착 속도에 의한 막 밀도

조작약품류	PE-CVD FMS SiO ₂ 막	PE-CVD TEOS SiO ₂ 막	PE-CVD SiH ₄ SiO ₂ 막
막 밀도 (g/cm ³)	2.33	2.1~2.2	2.20

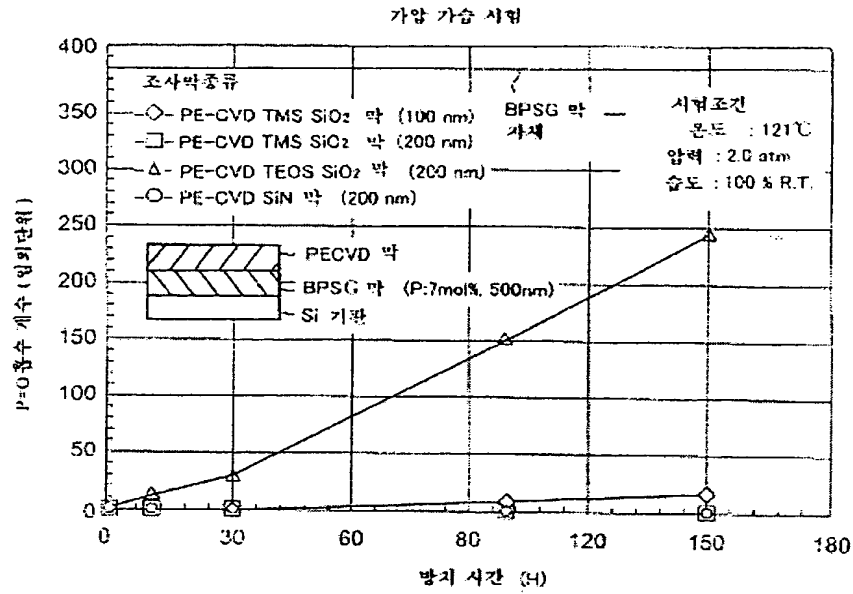
도 14



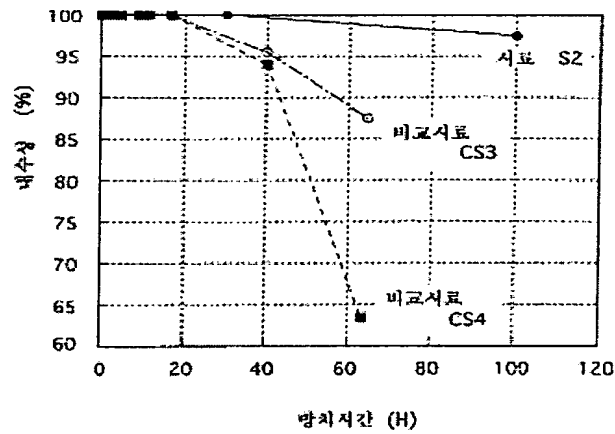




도 20



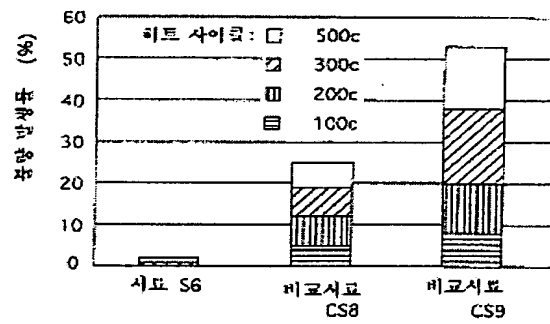
도 21



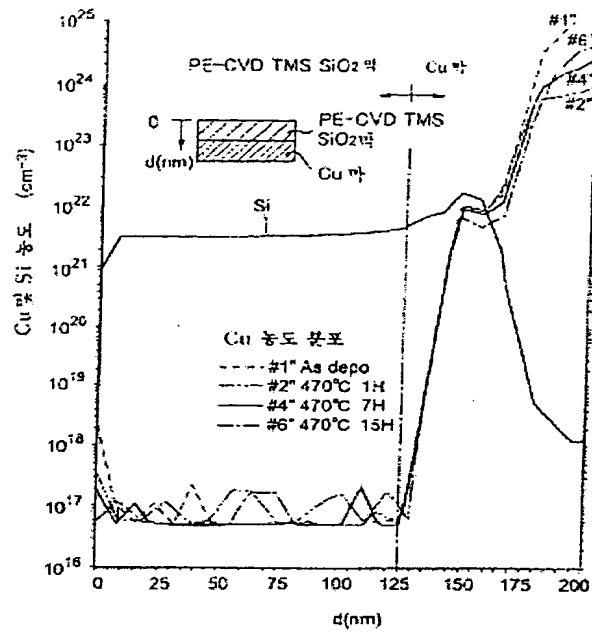
도 B8

하저 서유진출 정현박 종류		조사박 종류	
	기관치리	PE-CVD TMS SiO ₂ 박	PE-CVD TEOS SiO ₂ 박
무기도포 정현박 k=2.9	있음	○	△
	없음	○	×
유기도포정현박 k=2.8	있음	○	△
	없음	○	×

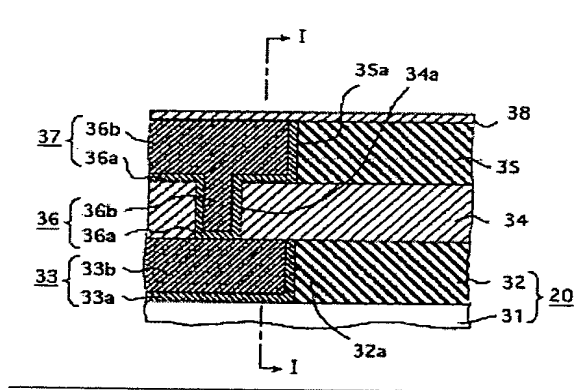
도 B9



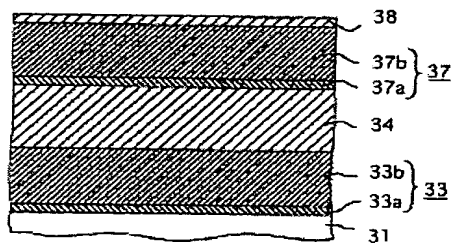
도면 10



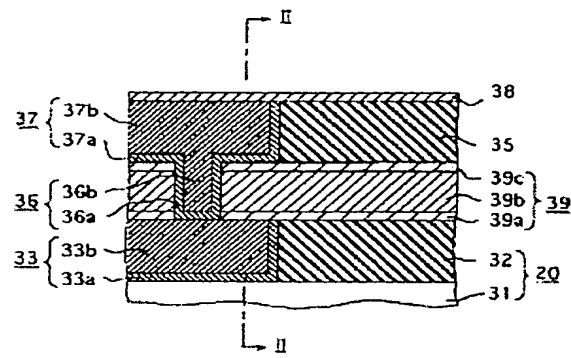
도면 11a



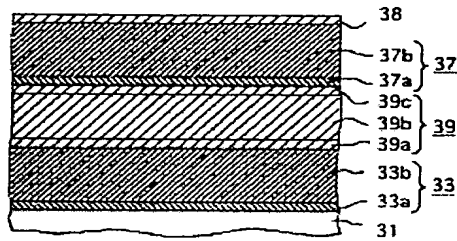
도면 11b



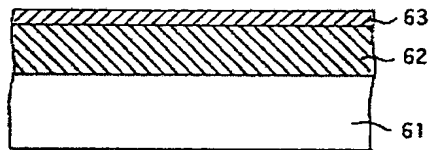
도면 12a



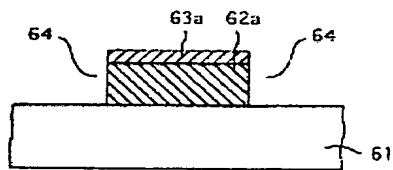
도면 12b



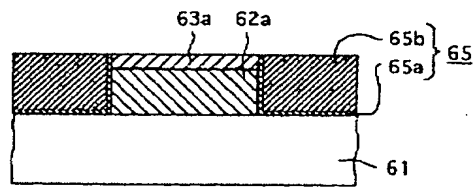
도면 13a



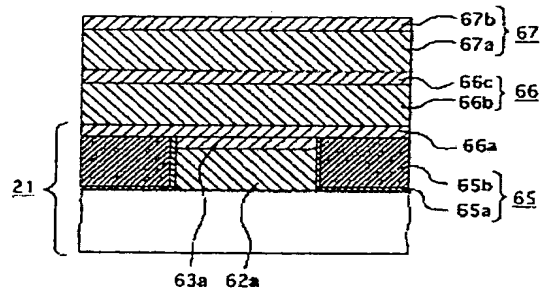
도면 13b



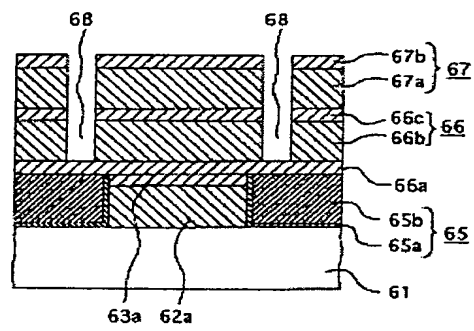
도면 13c



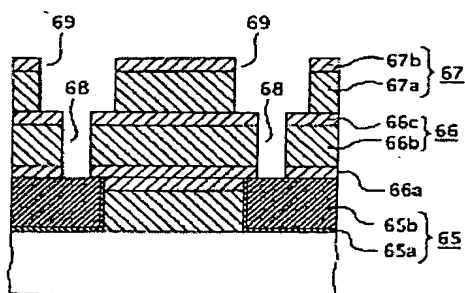
도면 13d



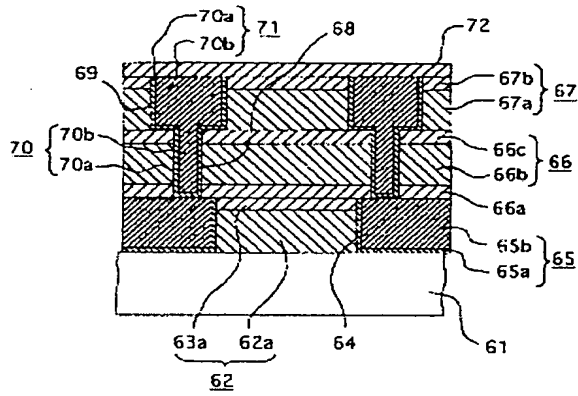
도면 13e



도면 13f



도면 13g



도면 14

